

S. Stavandar
#2
8-23-01

501.39484X00

Jc682 U.S. PTO
09/767830
01/24/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : YAMADA, ET AL.

Serial No. :

Filed: January 24, 2001

Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND PROCESS FOR MANUFACTURING THE SAME

Group:

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

January 24, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No. (s) 2000-015604 filed January 25, 2000.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory. E. Montone
Registration No. 28,141

GEM/mdt
Attachment
(703) 312-6600

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc692 U.S. PTO
09/767830
01/24/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 1月 25日

出願番号

Application Number:

特願2000-015604

出願人

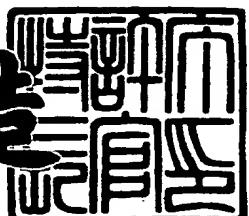
Applicant(s):

株式会社日立製作所

2000年 9月 22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3076689

【書類名】 特許願
 【整理番号】 H99027191
 【提出日】 平成12年 1月25日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/10
 【発明者】
 【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
 作所 デバイス開発センタ内
 【氏名】 山田 悟
 【発明者】
 【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製
 作所 デバイス開発センタ内
 【氏名】 大湯 静憲
 【発明者】
 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日
 立製作所 中央研究所内
 【氏名】 木村 紳一郎
 【特許出願人】
 【識別番号】 000005108
 【氏名又は名称】 株式会社日立製作所
 【代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
 【電話番号】 03-3366-0787
 【手数料の表示】
 【予納台帳番号】 006909
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

【特許請求の範囲】

【請求項1】 半導体基板に形成された電界効果トランジスタと、前記電界効果トランジスタのソース・ドレイン領域に接合された容量素子とを有するメモリセルを複数設けた半導体集積回路装置の製造方法において、

(a) 前記半導体基板に底部角の曲率半径が10nmよりも大きい溝を形成する工程と、

(b) 前記溝の内部にデポジション法により第1のゲート絶縁膜を形成する工程と、

(c) 前記溝の内部の前記第1のゲート絶縁膜上にゲート電極を埋め込む工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記溝の内壁を酸化することによって第2のゲート絶縁膜を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法において、前記溝を形成する工程は、相対的に異方性の強いエッティング条件でエッティング処理を行った後、溝の深さ方向の途中で溝内の角部を丸めるようなエッティング条件に切り換えてエッティング処理を行う工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項4】 半導体基板に電界効果トランジスタを形成する際に、

(a) 前記半導体基板に溝を形成する工程と、

(b) 前記溝の内部にゲート絶縁膜を形成する工程と、

(c) 前記溝の内部に、前記溝内の半導体基板との間に前記ゲート絶縁膜が介在された状態で、全部または一部が埋め込まれるようにゲート電極を形成する工程と、

(d) 前記半導体基板にソース・ドレイン用の半導体領域を形成する工程とを有し、

前記(a)工程は、前記電界効果トランジスタのサブスレッシュルド係数が所

定値を越えないように、前記溝内の底部角を丸く形成する工程を有し、

前記（b）工程は、前記ゲート絶縁膜をデポジション法によって形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法において、

前記（a）工程は、相対的に異方性の強いエッティング条件でエッティング処理を行った後、溝の深さ方向の途中で溝内の角部を丸めるようなエッティング条件に切り換えてエッティング処理を行う工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法において、

前記（b）工程は、前記ゲート絶縁膜の一部を前記溝の内壁を酸化することにより形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項4記載の半導体集積回路装置の製造方法において、

前記溝内の底部角の曲率半径が10nm以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 半導体基板内に、素子分離部と、前記素子分離部をまたぐように行なわれた配線とを有する半導体集積回路装置の製造方法において、

- (a) 前記半導体基板に第1の溝を形成する工程と、
- (b) 前記第1の溝の中に絶縁膜を形成し、素子分離部を形成する工程と、
- (c) 前記素子分離部をまたぐ開口を有するマスクを形成する工程と、
- (d) 前記開口によって露出された素子分離部に第2の溝を形成する工程と、
- (e) 前記開口および第2の溝によって露出された半導体基板に第3の溝を形成する工程と、
- (f) 前記第2および第3の溝の中に前記配線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項8記載の半導体集積回路装置の製造方法において、前記半導体基板の正面に対する前記第1及び第3の溝の側壁の傾斜角度は90度よりも小さいことを特徴とする半導体集積回路装置の製造方法。

【請求項10】 半導体基板内に形成された素子分離部と、前記素子分離部をまたいで形成された第1の配線と、前記第1の配線の一部をゲート電極として

、前記ゲート電極の両側にソース・ドレイン領域を有する電界効果トランジスタとを有する半導体集積回路装置の製造方法において、

- (a) 前記半導体基板をエッティングして第1の溝を形成する工程と、
- (b) 前記第1の溝の内部に絶縁体膜を形成し、素子分離部を形成する工程と、
- (c) 前記素子分離部をまたいで形成された第1の開口を有するマスクを形成する工程と、
- (d) 前記第1の開口によって露出された素子分離部をエッティングして、第2の溝を形成する工程と、
- (e) 前記第1の開口及び第2の溝によって露出された半導体基板をエッティングして、第3の溝を形成する工程と、
- (f) 前記第3の溝の内壁にゲート絶縁膜を形成する工程と、前記第2及び第3の溝の内部に第1の配線を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項10記載の半導体集積回路装置の製造方法において、前記半導体基板の正面に対する前記第1および第3の溝の側壁の傾斜角度は90度よりも小さいことを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項10記載の半導体集積回路装置の製造方法において、前記第1の溝および第3の溝の側面には、順テーパが形成されていることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項10記載の半導体集積回路装置の製造方法において、前記第1の溝は、前記第2の溝よりも100nm以上深いことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項10記載の半導体集積回路装置の製造方法において、前記第3の溝を形成する工程は、更に前記半導体基板のエッティングによって形成された溝の内壁を酸化する工程と、前記酸化による酸化膜を除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項10記載の半導体集積回路装置の製造方法において、前記第3の溝は、前記第2の溝よりも深いことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項10記載の半導体集積回路装置の製造方法において、前記第1の溝は、前記第3の溝よりも深いことを特徴とする半導体集積回路装置の製造方法。

【請求項17】 (a) 半導体基板に第1の溝を形成する工程と、
(b) 前記第1の溝の中に分離用絶縁膜を形成することにより分離部を形成する工程と、
(c) 前記半導体基板上に、前記分離部および前記半導体基板の両方が露出される開口部を有するマスクを形成する工程と、
(d) 前記開口部から露出された分離部に第2の溝を形成した後、前記開口部および第2の溝から露出された半導体基板に第3の溝を形成する工程と、
(e) 前記第2および第3の溝内の半導体基板の表面に絶縁膜を形成する工程と
(f) 前記第2および第3の溝内に配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法において、前記第2の溝を形成する際に、前記(f)工程後の段階で、前記第2の溝の内部に形成された配線の下方に寄生素子が形成されないように、前記第2の溝の底部に前記分離用絶縁膜を残すことを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項17記載の半導体集積回路装置の製造方法において、前記(f)工程後の段階で、前記第2の溝内の配線と半導体基板との間に残される前記分離用絶縁膜の厚さが100nm以上であることを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項17記載の半導体集積回路装置の製造方法において、前記第3の溝を形成する際に、前記第3の溝の深さを、前記第2の溝よりも深くすることを特徴とする半導体集積回路装置の製造方法。

【請求項21】 請求項17記載の半導体集積回路装置の製造方法において、前記第1および第3の溝の開口側の寸法は、底面側の寸法よりも広いことを特徴とする半導体集積回路装置の製造方法。

【請求項22】 請求項21記載の半導体集積回路装置の製造方法において

、前記第1および第3の溝の側面に順テープを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項17記載の半導体集積回路装置の製造方法において、前記(d)工程後、前記(e)工程前に、前記第2および第3の溝の内部を酸化する酸化工程と、前記酸化工程によって形成された酸化膜を除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項24】 請求項23記載の半導体集積回路装置の製造方法において、前記(e)工程は、前記絶縁膜をデポジション法によって形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項25】 請求項23記載の半導体集積回路装置の製造方法において、前記(e)工程の絶縁膜の形成処理は、前記半導体基板の表面を酸化することにより第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜表面を覆うようにデポジション法によって第2のゲート絶縁膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項26】 請求項17記載の半導体集積回路装置の製造方法において、前記配線の形成工程は、前記第2および第3の溝内に前記配線を形成するための第1の膜を埋め込む工程と、前記第1の膜を、その一部が前記第2および第3の溝内に残るように除去する工程と、前記第2および第3の溝内に残された第1の膜の表面の窪みを埋め込む第2の膜を形成する工程と、前記第2の膜形成後の前記第1の膜を、その一部が第2および第3の溝内に残るように除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項27】 請求項26記載の半導体集積回路装置の製造方法において、前記配線の形成後、前記半導体基板上に第1の絶縁膜を堆積した後、その第1の絶縁膜を、その一部が前記第2および第3の溝内に残るように除去することにより、前記第2および第3の溝内において配線上に第1の絶縁膜を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項28】 請求項27記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜を第2および第3の溝内に形成した後、前記半導体基板上に第2の絶縁膜を堆積する工程と、前記第2の絶縁膜に、前記半導体基板の一部が

露出する孔を穿孔する工程とを有し、

前記孔の形成工程においては、前記第2の絶縁膜の方が、前記第1の絶縁膜よりもエッティング速度が速くなるような条件でエッティング処理を施すことにより、前記孔を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項29】 請求項28記載の半導体集積回路装置の製造方法において、前記孔内に導体膜を埋め込んだ後、その導体膜から半導体基板への不純物拡散によって半導体基板に半導体領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項30】 請求項17記載の半導体集積回路装置の製造方法において、前記配線は、多結晶シリコン膜、シリサイド膜または金属膜あるいはそれらの積層膜を有することを特徴とする半導体集積回路装置の製造方法。

【請求項31】 請求項17記載の半導体集積回路装置の製造方法において、前記(e)工程の絶縁膜は、電界効果トランジスタのゲート絶縁膜を形成し、前記(f)工程の配線は、前記電界効果トランジスタのゲート電極を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項32】 請求項17記載の半導体集積回路装置の製造方法において、前記(f)工程後、前記半導体基板の分離部に囲まれた活性領域に前記電界効果トランジスタのソース・ドレイン用の一対の半導体領域を形成する工程と、前記一対の半導体領域のいずれか一方に接続される情報記憶用の容量素子を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項33】 (a) 半導体基板に素子分離部を形成する工程と、
 (b) 前記半導体基板上に開口を有するマスクを形成する工程と、
 (c) 前記開口から露出された半導体基板に第1の溝を形成する工程と、
 (d) 前記第1の溝の中に第1の膜を形成する工程と、
 (e) 前記第1の膜の一部が前記第1の溝の中に残るように前記第1の膜の一部を除去する工程と、
 (f) 前記第1の膜の表面の窪みを埋めるように第2の膜を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項34】 半導体基板上に形成された埋め込みゲート電極を有する電

界効果トランジスタと、前記電界効果トランジスタのソース・ドレイン領域の少なくとも一方に電気的に接続された容量素子を有するメモリセルを複数有する半導体集積回路装置の製造方法において、

- (a) 前記半導体基板に第1の半導体領域を形成する工程と、
- (b) 前記半導体基板に第1の溝を形成する工程と、
- (c) 前記第1の溝の中にゲート絶縁膜、ゲート電極および第1の絶縁膜を形成する工程と、
- (d) 前記第1の絶縁膜の上を含む半導体基板上に第2の絶縁膜を形成する工程と、
- (e) 前記第2の絶縁膜に対するエッティング速度が第1の絶縁膜に対するエッティング速度よりも速い方法で、前記第2の絶縁膜に、前記第1の半導体領域と平面的に重なる開口を形成する工程と、
- (f) 前記開口の中に導電体膜を形成する工程と、
- (g) 前記導電体膜からの不純物の拡散によって前記半導体基板に第2の半導体領域を形成し、前記第1および第2の半導体領域によって、前記ソース・ドレイン領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項35】 請求項34記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜は窒化シリコン膜によって構成され、前記第2の絶縁膜は酸化シリコン膜によって構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項36】 半導体基板に形成された電界効果トランジスタを有する半導体集積回路装置において、前記電界効果トランジスタは、前記半導体基板に形成された溝と、前記溝の内部に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の半導体基板に形成されたソース・ドレイン領域を有し、

前記ゲート絶縁膜はデポジション法で形成された絶縁膜を有し、前記溝は角部の曲率半径が10nm以上であることを特徴とする半導体集積回路装置。

【請求項37】 請求項36記載の半導体集積回路装置において、前記電界

効果トランジスタと、前記ソース・ドレイン領域に接続された容量素子とを有するメモリセルを複数有することを特徴とする半導体集積回路装置。

【請求項38】 半導体基板に形成された電界効果トランジスタを有する半導体集積回路装置において、前記電界効果トランジスタは、前記半導体基板に形成された溝と、前記溝の内部に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の半導体基板に形成されたソース・ドレイン領域を有し、

前記ゲート絶縁膜はデポジション法で形成された絶縁膜を有し、前記溝において、前記ソース・ドレイン領域の間のチャネル形成領域における曲率半径が10nmよりも大きいことを特徴とする半導体集積回路装置。

【請求項39】 半導体基板に形成された溝と、前記溝の内部に形成されたゲート絶縁膜と、前記溝の内部に、前記溝内の半導体基板との間に前記ゲート絶縁膜を介在した状態で、全部または一部が埋め込まれたゲート電極とを含む電界効果トランジスタを有し、前記ゲート絶縁膜はデポジション法によって形成された絶縁膜を有し、前記溝内の底部角に丸みを形成したことを特徴とする半導体集積回路装置。

【請求項40】 半導体基板に、埋め込みゲート電極型の電界効果トランジスタと、前記電界効果トランジスタのソース・ドレイン領域の少なくとも一方に電気的に接続した容量素子とを有するメモリセルを複数有する半導体集積回路装置において、

前記半導体基板には、前記ソース・ドレイン領域とは逆導電型にされ、前記埋め込みゲート電極よりも深い位置までに形成された第1の半導体領域を有し、

前記容量素子に接続したソース・ドレイン領域は、第1の半導体領域よりも浅い位置までに形成された第2の半導体領域と、前記第2の半導体領域よりも浅い位置までに形成された第3の半導体領域とを有し、前記第3の半導体領域の不純物濃度は、前記第2の半導体領域の不純物濃度よりも高いことを特徴とする半導体集積回路装置。

【請求項41】 半導体基板に形成された第1の溝の中にはゲート絶縁膜と、前記ゲート絶縁膜の上のゲート電極と、前記ゲート電極の上の第1の絶縁膜を

有し、

前記第1の溝の周囲の半導体基板には、前記第1の溝よりも深い位置まで形成された第1の導電型の第1の半導体領域と、前記第1の半導体領域の上に形成された前記第1の導電型と逆導電型の第2の半導体領域と、前記第2の半導体領域の上に形成された前記第2の半導体領域と同導電型の第3の半導体領域を有し、

前記第3の半導体領域の不純物濃度は、前記第2の半導体領域の不純物濃度よりも高いことを特徴とする半導体集積回路装置。

【請求項4 2】 請求項4 1記載の半導体集積回路装置において、前記第3の半導体領域と第2の半導体領域との境界は、前記ゲート電極の上面よりも浅い位置に形成されていることを特徴とする半導体集積回路装置。

【請求項4 3】 請求項4 2記載の半導体集積回路装置において、前記第3の半導体領域と第2の半導体領域との境界は、前記ゲート電極の上部から離れた位置に形成されていることを特徴とする半導体集積回路装置。

【請求項4 4】 請求項4 3記載の半導体集積回路装置において、前記第3の半導体領域と第2の半導体領域との境界と、前記ゲート電極との間の距離が40 nm以上であることを特徴とする半導体集積回路装置。

【請求項4 5】 請求項4 1記載の半導体集積回路装置において、前記第1の半導体領域と第2の半導体領域との境界は、前記ゲート電極の上面よりも深い位置に形成されていることを特徴とする半導体集積回路装置。

【請求項4 6】 半導体基板に、埋め込みゲート電極型の電界効果トランジスタと、前記電界効果トランジスタのソース・ドレイン領域の少なくとも一方に電気的に接続した容量素子とを有するメモリセルを複数有する半導体集積回路装置において、前記電界効果トランジスタの埋め込みゲート電極の上には埋め込みゲートキャップ絶縁膜が形成されており、前記埋め込みゲートキャップ絶縁膜の厚さは40 nm以上であることを特徴とする半導体集積回路装置。

【請求項4 7】 半導体基板に、埋め込みゲート電極型の電界効果トランジスタと、前記電界効果トランジスタのソース・ドレイン領域の一方に電気的に接続した容量素子とを有するメモリセルを複数有する半導体集積回路装置において、前記容量素子が接続した方のソース・ドレイン領域は、もう一方のソース・ド

レイン領域よりも深く形成されていることを特徴とする半導体集積回路装置。

【請求項48】 半導体基板に、埋め込みゲート型の電界効果トランジスタと、前記電界効果トランジスタのソース・ドレイン領域の一方に電気的に接続した容量素子とを有するメモリセルを複数有する半導体集積回路装置において、埋め込みゲート電極型の電界効果トランジスタを持つ周辺回路領域を有し、前記周辺回路領域の電界効果トランジスタのソース・ドレイン領域は、前記メモリセルの電界効果トランジスタのソース・ドレイン領域よりも深く形成されていることを特徴とする半導体集積回路装置。

【請求項49】 半導体基板に形成された埋め込みゲート電極を有する電界効果トランジスタを持つ半導体集積回路装置において、前記ゲート電極は金属または金属のシリサイド膜によって構成されており、前記電界効果トランジスタのゲート絶縁膜はデポジション法により形成された絶縁膜有していることを特徴とする半導体集積回路装置。

【請求項50】 半導体基板に形成された第1の溝と、前記第1の溝内に絶縁膜が埋め込まれることで形成された分離部と、前記半導体基板および分離部に平面的に重なるように配置され、その半導体基板および分離部を掘り込むことで形成された配線形成用の溝と、前記配線形成用の溝内における半導体基板の表面に形成されたゲート絶縁膜と、前記配線形成用溝内に、前記半導体基板との間にゲート絶縁膜を介した状態で形成された配線と、前記配線形成用の溝内において前記配線上に形成されたキャップ絶縁膜とを有し、前記ゲート絶縁膜はデポジション法で形成された絶縁膜を有していることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、情報蓄積用の容量素子を有する半導体集積回路装置の製造方法および半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

情報蓄積用の容量素子を有する半導体集積回路装置として、例えばDRAM（Dynamic Random Access Memory）がある。DRAMは、そのメモリセルが、1つのメモリセル選択用トランジスタと、それに直列に接続されたキャパシタ（情報蓄積用素子）とから構成されているので、集積度が高く、ビット当たりの単価を安くすることができる等の理由から大容量メモリを必要とする各種コンピュータのメインメモリや通信機器等に広く使用されている。しかし、情報蓄積用素子としてキャパシタを用いているので、そのまま放置しておくと情報の記憶に用いられる信号電荷が時間の経過とともにリークしてしまい記憶内容が失われてしまう。そこで、DRAMにおいては、メモリセルの情報を記憶し続けるために、記憶内容を定期的に再生する、いわゆるリフレッシュ動作が必要である。このため、DRAMを有する半導体集積回路装置においては、DRAM全体の動作速度の向上を図りつつ、リフレッシュ特性の向上を図るべく、種々の構造上および回路上の研究および技術開発が行われている。そのリフレッシュ特性を向上させる技術としては、例えばリフレッシュ特性がメモリセル選択用トランジスタのソース・ドレイン用の半導体領域における接合電界強度に逆比例することから、その接合電界強度を低減することでリフレッシュ特性を向上させるべく、そのソース・ドレイン用の半導体領域の不純物濃度分布を最適化することが進められている。

【0003】

例えば特開平6-61486号公報には、DRAMのメモリセルにおけるメモリセル選択用MOS（Metal Oxide Semiconductor）トランジスタを覆う層間絶縁膜に、そのソース・ドレイン用の半導体領域が露出するようなコンタクトホールを開口した後、そのコンタクトホールを通じてそのソース・ドレイン用の半導体領域の下方に電界緩和用の不純物を導入する技術が開示されている。また、例えば特開平10-359842号公報には、メモリセル選択用MOSトランジスタのしきい値電圧V_{t h}を制御するための不純物（ホウ素等）を半導体基板においてビット線が接続される側のみに打ち込み、キャパシタ側には打ち込まないようにより、キャパシタ側の半導体基板の不純物（ホウ素等）濃度を低下させて、キャパシタ側の半導体基板における接合電界強度を低減する技術が開示されている。

【0004】

【発明が解決しようとする課題】

ところが、上記技術においては、以下の課題があることを本発明者は見出した

【0005】

すなわち、素子の微細化が進むにつれて、例えば素子寸法に対する半導体基板の不純物濃度が高くなり、また、ゲート電極の側壁に形成された側壁絶縁膜が薄くなるためにゲート電極とソース・ドレイン用の半導体領域（高不純物濃度領域）との距離が近づく等により、上記接合電界強度が大きくなる結果、これまでの技術を用いてもリフレッシュ特性の劣化を防止することができない、という課題がある。これまでのDRAMにおいては、高集積化を進めるにあたり、リフレッシュ時間を長くすることにより、消費電力を抑えることが行われているが、高集積化のために素子の微細化を進めると接合電界強度が大きくなるため、リフレッシュ時間を短くせざるを得ない。その結果、現状のままで高集積化を進めると消費電力の増大は避けられない、という課題がある。

【0006】

本発明の目的は、電界効果トランジスタのソース・ドレイン用の半導体領域における接合電界強度を低減することのできる技術を提供することにある。

【0007】

また、本発明の他の目的は、電界効果トランジスタの駆動能力を向上させることのできる技術を提供することにある。

【0008】

また、本発明の他の目的は、半導体集積回路装置のリフレッシュ特性を向上させることのできる技術を提供することにある。

【0009】

また、本発明の他の目的は、半導体集積回路装置の消費電力を低減することのできる技術を提供することにある。

【0010】

また、本発明の他の目的は、半導体集積回路装置の素子集積度を向上させるこ

とのできる技術を提供することにある。

【0011】

また、本発明の他の目的は、半導体集積回路装置の信頼性を向上させることのできる技術を提供することにある。

【0012】

また、本発明の他の目的は、半導体集積回路装置の歩留まりを向上させることのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

すなわち、本発明は、半導体基板に第1の溝を形成する工程と、前記第1の溝内に絶縁膜を埋め込むことにより分離部を形成する工程と、前記分離部およびこれに囲まれた活性領域に平面的に重なるように配線形成用の溝を形成する工程と、前記配線形成用の溝内に溝内絶縁膜を形成する工程と、前記配線形成用の溝内に前記溝内絶縁膜を介して配線を形成する工程とを有し、前記配線形成用溝の形成工程は、その底部角を丸く形成する工程を有し、前記溝内絶縁膜の形成工程は、その溝内絶縁膜の一部または全部をデポジション法で形成する工程を有するものである。

【0016】

また、本発明は、半導体基板に第1の溝を形成する工程と、前記第1の溝内に絶縁膜を埋め込むことにより分離部を形成する工程と、前記分離部およびそれに囲まれた活性領域の双方の一部を含む開口部を有するマスクを半導体基板上に形成する工程と、前記開口部から露出する分離部の絶縁膜を除去することにより第2の溝を形成した後、前記開口部から露出する半導体基板部分を除去することに

より第3の溝を形成する工程と、前記第2および第3の溝内に配線を形成する工程とを有するものである。

【0017】

また、本発明は、半導体基板に形成された第1の溝と、前記溝内に絶縁膜が埋め込まれることで形成された分離部と、前記分離部およびそれに平面的に囲まれた活性領域に平面的に重なるように形成された配線形成用の溝と、前記配線形成用の溝内に形成された溝内絶縁膜と、前記配線形成用の溝内に溝内絶縁膜を介して形成された配線とを有し、前記溝内絶縁膜はデポジションで形成された絶縁膜を有し、前記配線形成用の溝内の底部角は丸みを帯びているものである。

【0018】

また、本発明は、前記配線形成用の溝の形成工程は、その溝を掘る工程と、その溝の内面を酸化する工程と、その酸化工程によって形成された酸化膜を除去する工程とを有するものである。

【0019】

また、本発明は、前記配線形成用の溝内の底部角の曲率半径が、前記配線をゲート電極とする電界効果トランジスタのサブスレッシュホールド係数の所定値を越えない値にするものである。

【0020】

また、本発明は、前記配線形成用の溝内の底部角の曲率半径が10nm以上とするものである。

【0021】

また、本発明は、前記配線形成用の溝の側面に順テープを形成するものである

【0022】

また、本発明は、前記配線形成用の溝を、その底部の幅よりも開口部の幅の方が広くなるように形成するものである。

【0023】

また、本発明は、前記配線形成用の溝を形成する工程は、前記分離部およびそれに囲まれた活性領域の双方の一部を含む開口部を有するマスクを半導体基板上

に形成する工程と、前記開口部から露出する分離部の絶縁膜を除去することにより第2の溝を形成する工程と、前記開口部から露出する半導体基板部分を除去することにより第3の溝を形成する工程とを有するものである。

【0024】

また、本発明は、前記配線形成用の溝を形成する工程は、前記分離部およびそれに囲まれた活性領域の双方の一部を含む開口部を有するマスクを半導体基板上に形成する工程と、前記開口部から露出する分離部の絶縁膜を除去することにより第2の溝を形成した後、前記開口部および第2の溝から露出する半導体基板部分を除去することにより第3の溝を形成する工程とを有するものである。

【0025】

また、本発明は、前記配線形成用の溝を形成する工程は、前記第3の溝を第2の溝よりも深く形成する工程と、前記第3の溝内を酸化した後、その酸化膜を除去する工程とを有するものである。

【0026】

また、本発明は、前記第2の溝を形成する際に、最終的に配線の下部に寄生素子が形成されないように、第2の溝の底部に分離部の絶縁膜が残すものである。

【0027】

また、本発明は、前記第2の溝の底部に残される分離部の絶縁膜の厚さが100nm以上とするものである。

【0028】

また、本発明は、前記第1の溝の深さが前記第2および第3の溝よりも最終的に深くなるようにするものである。

【0029】

また、本発明は、前記溝内絶縁膜の形成工程は、前記配線形成用の溝から露出する半導体基板を酸化することにより絶縁膜を形成する工程と、デポジション法で絶縁膜を形成する工程とを有するものである。

【0030】

また、本発明は、前記配線が金属からなり、前記溝内絶縁膜のデポジション法で形成された絶縁膜が窒化シリコンからなるものである。

【0031】

また、本発明は、前記配線の形成工程は、前記第2および第3の溝内に、第1の膜を埋め込む工程と、前記第1の膜の一部が前記第2および第3の溝内に残るよう除去する工程と、前記第2および第3の溝内の第1の膜の上面の窪みを第2の膜で埋め込む工程とを有するものである。

【0032】

また、本発明は、前記第1の膜の上面の窪みに第2の膜を埋め込んだ後、前記第1の膜の一部が前記第2および第3の溝内に残るようにさらに除去する工程を有するものである。

【0033】

また、本発明は、前記配線が金属または金属とシリコンとの化合物からなるものである。

【0034】

また、本発明は、前記配線が金属からなり、前記溝内絶縁膜のデポジション法で形成された絶縁膜が窒化シリコンからなるものである。

【0035】

また、本発明は、前記配線形成工程後、前記配線形成用の溝内において配線上にキャップ絶縁膜を形成する工程を有するものである。

【0036】

また、本発明は、前記キャップ絶縁膜を形成した後、前記半導体基板上に絶縁膜を堆積する工程と、前記絶縁膜に前記活性領域が露出する孔を穿孔する工程と、前記孔内に導電性膜を埋め込む工程と、前記導電性膜から半導体基板に不純物を拡散させて活性領域に半導体領域を形成する工程を有するものである。

【0037】

また、本発明は、前記孔の形成工程に際しては、前記絶縁膜の方がキャップ絶縁膜よりもエッティング速度が速い条件でエッティング処理を施す工程を有するものである。

【0038】

また、本発明は、前記分離部の絶縁膜を酸化シリコンで構成し、前記キャップ

絶縁膜を窒化シリコンで構成するものである。

【0039】

また、本発明は、前記キャップ絶縁膜の厚さが40nm以上とするものである

【0040】

また、本発明は、前記分離部の絶縁膜を酸化シリコンで構成し、前記キャップ絶縁膜を窒化シリコンで構成し、前記半導体基板上の絶縁膜を酸化シリコンで構成するものである。

【0041】

また、本発明は、前記配線形成工程後、前記半導体基板において平面的に配線の両側にその配線をゲート電極とする電界効果トランジスタのソース・ドレイン用の半導体領域を形成する工程を有するものである。

【0042】

また、本発明は、前記ゲート電極上面の高さを、前記配線形成用の溝および第1の溝の形成されていない半導体基板の正面との高さよりも低く形成するものである。

【0043】

また、本発明は、前記ゲート電極と、前記ソース・ドレイン用の半導体領域のうち相対的に不純物濃度の高い高濃度領域とを離して形成するものである。

【0044】

また、本発明は、前記ゲート電極と、前記高濃度領域との離間距離は、40nm以上とするものである。

【0045】

また、本発明は、前記ゲート電極と、前記ソース・ドレイン用の半導体領域のうち相対的に不純物濃度の高い高濃度領域とを離して形成し、前記ソース・ドレイン用の半導体領域のうち相対的に不純物濃度の低い低濃度領域を前記ゲート電極の上面よりも深く形成するものである。

【0046】

また、本発明は、前記電界効果トランジスタがメモリセル選択用トランジスタ

を形成するものであり、前記ソース・ドレイン用の半導体領域の一方に、情報蓄積用の容量素子を電気的に接続する工程を有するものである。

【0047】

また、本発明は、半導体基板に掘られた溝と、前記半導体基板において前記溝よりも深い位置までに形成された第1の半導体領域と、前記溝内に形成されたゲート絶縁膜と、前記溝内にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の平面的に両側の半導体基板に形成されたソース・ドレイン用の半導体領域とを有し、前記ソース・ドレイン用の半導体領域は、前記第1の半導体領域よりは浅い位置までに形成され、前記第1の半導体領域と逆の導電型の第2の半導体領域と、前記第2の半導体領域よりは浅い位置までに形成され、前記第2の半導体領域と同一導電型の第3の半導体領域とを有し、前記第3の半導体領域の不純物濃度は、前記第2の半導体領域の不純物濃度よりも高いものである。

【0048】

また、本発明は、前記第2の半導体領域と第3の半導体領域との境界は、前記ゲート電極の上面よりも浅い位置に形成されているものである。

【0049】

また、本発明は、前記境界と前記ゲート電極との間の距離が40nm以上とするものである。

【0050】

また、本発明は、前記第1の半導体領域と前記第2の半導体領域との境界は、前記ゲート電極の上面よりも深い位置に形成されているものである。

【0051】

また、本発明は、前記溝内において、前記ゲート電極上にはキャップ絶縁膜が形成されているものである。

【0052】

また、本発明は、前記ゲート電極上のキャップ絶縁膜の厚さが40nm以上とするものである。

【0053】

また、本発明は、前記ゲート電極上のキャップ絶縁膜が窒化シリコンからなる

ものである。

【0054】

また、本発明は、前記ゲート電極は金属または金属のシリサイド膜からなり、前記ゲート絶縁膜はデポジション法によって形成された絶縁膜を有するものである。

【0055】

また、本発明は、前記デポジション法で形成されたゲート絶縁膜が窒化シリコンからなるものである。

【0056】

また、本発明は、前記ゲート電極を有する電界効果トランジスタと、前記ソース・ドレイン用の半導体領域の一方に電気的に接続された情報蓄積用の容量素子とで構成されたメモリセルを複数有するものである。

【0057】

また、本発明は、前記情報蓄積用の容量素子が接続されたソース・ドレイン用の半導体領域は、他方のソース・ドレイン用の半導体領域よりも深く形成されているものである。

【0058】

また、本発明は、前記メモリセルによって構成されるメモリ領域の周辺回路領域の電界効果トランジスタを埋め込みゲート電極構造とし、前記周辺回路領域の埋め込みゲート電極構造の電界効果トランジスタのソース・ドレイン用の半導体領域は、前記メモリセルの電界効果トランジスタのソース・ドレイン用の半導体領域よりも深く形成されているものである。

【0059】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態においては、pチャネル型のMIS·FET（電界効果トランジスタ：Metal Insulator Semiconductor Field Effect Transistor）をpMISと略し、nチャネル型のMIS·FETをn

MISと略す。また、本実施の形態において、通常のゲート電極構造のMIS・FETとは、半導体基板上に堆積された導体膜をパターニングすることで形成したゲート電極を有する構造のMIS・FETと言う。また、本明細書中において、高濃度領域とは、ドナまたはアクセプタとなる不純物の濃度が低濃度領域に比べて相対的に高い領域である。また、溝内の角部または溝内の底部角という場合は、溝の内側面と底面とで形成される角部の他、溝の内部において、最も曲率半径が小さい部分をも含むものとする。

【0060】

(実施の形態1)

本実施の形態1においては、本発明を、例えばDRAMに適用した場合について説明する。図1はその製造工程におけるメモリセル領域および周辺回路領域の要部断面図を示している。このうちメモリセル領域の要部断面図は、図2におけるA-A'線の断面図とする。また、図2は図1のメモリセル領域の要部平面図を示している。

【0061】

この段階において半導体基板1は、例えば平面略円形状のp型のシリコン単結晶等からなる半導体の薄板（いわゆる半導体ウエハ）であり、その分離領域には、例えば溝型の分離部（トレンチアイソレーション）2が形成されている。この分離部2は、素子分離または素子内分離等の機能を有する部分であり、この分離部2に囲まれる領域に活性領域Lが形成されている。メモリセル領域においては、活性領域Lの平面形状が、図2に示すように、両端に丸みを有し、かつ、斜め方向に延在する帯状のパターンで形成されている。

【0062】

このような分離部2の形成方法は、例えば次の通りである。まず、半導体基板1に、例えば深さ350nm程度の分離溝（第1の溝）2aをフォトリソグラフィ技術およびドライエッティング技術等によって形成する。分離溝2aは、その幅が、その底部から上部に向かって次第に広くなるように形成されている。したがって、分離溝2aの内側面は傾斜しており順テープ状に形成されている。半導体基板1の正面を基準としてその正面に対する分離溝2aの内側面の傾斜角度θ1

は90度よりも小さい。

【0063】

分離溝2aを形成するドライエッチング技術に関して、分離溝2aの集積度を上げるために異方性の大きなエッチングを使用すると、溝内の底部角の曲率半径が小さくなり、その角部に応力が集中して半導体基板1内に転位が入り素子分離特性が悪くなる。

【0064】

また、エッチングガスにフッ素を添加すると溝内の底部角の曲率半径が大きくなるようなエッチング特性となるが、同時にエッチングに伴う溝幅の膨れによってハードマスクの下にアンダーカットが形成される。

【0065】

そこで、分離溝形成の際にステップエッチング技術を使用することで、アンダーカットを小さく抑えつつ、その底部角の曲率半径の大きな溝を形成する。ここで、ステップエッチング技術とは、半導体基板1に溝を形成する際に、相対的に異方性の強いエッチング条件でエッチング処理を施した後（第1のステップ）、エッチングの途中でガスの組成を変えて溝内の底部角が丸みをおびるようなエッチング条件でエッチング処理を行う（第2のステップ）ことにより、溝の開口形状を所定形状に制御する技術である。この技術の場合は、第1のステップにおけるエッチング条件により幅寸法の大幅な増大を招くことなく深い溝を形成し、その後の第2のステップにおけるエッチング条件により溝内の底部角に丸みを形成することができる。

【0066】

本実施の形態においては、エッチング初期は相対的に異方性の大きなエッチング法を使用し、エッチング後期にフッ素を添加したガスに切り換える。こうすることによって、前記のようにアンダーカットを抑えつつ、しかも上記溝内の角部の曲率半径の大きい所望の深さの溝を得ることが可能となる。

【0067】

続いて、分離溝2aを形成した後の半導体基板1の主面上に、例えばテトラエトキシシラン（TEOS（Tetraethoxysilane））とオゾン（O₃）との混合ガス

またはモノシリコンと酸素との混合ガスを用いたCVD法等によって、例えば酸化シリコン (SiO_2 等、以下同じ) からなる絶縁膜2bを堆積した後、その絶縁膜2bを分離溝2a内のみに残るように化学的機械的研磨 (CMP: Chemical Mechanical Polish) 法によって研磨することにより分離部2を形成する。

【0068】

続いて、半導体基板1の表面を酸化することにより、半導体基板1の表面に、例えば厚さ10nm程度の酸化シリコン等からなる絶縁膜4を熱酸化法等によって形成した後、半導体基板1にpウエル(第1の半導体領域)3Pおよびnウエル3Nを形成する。pウエル3Pおよびnウエル3Nは、それぞれ別々のフォトレジスト(以下、単にレジストという)膜をマスクとして、それぞれ別々の不純物を導入した後、熱処理を施すことにより形成する。メモリセル選択用MIS-FETが形成されるpウエル3Pは、例えばホウ素(B)を300keV、130keVおよび40keVで、それぞれ $1 \times 10^{13}/\text{cm}^2$ 、 $2 \times 10^{12}/\text{cm}^2$ および $1 \times 10^{12}/\text{cm}^2$ だけ打ち込んだ後、例えば1000°C、30分の熱処理を施すことで形成した。なお、nウエル3Nには、例えばリン(P)またはヒ素(As)が導入されている。

【0069】

その後、メモリセル領域において、メモリセル選択用MIS-FETのソース・ドレイン領域の低濃度領域を形成するための不純物をイオン打ち込み法によって半導体基板に形成しても良い。この場合、半導体基板1の主面を基準にしたイオン打ち込みが可能となるので、半導体基板1の深さ方向の不純物濃度プロファイルの均一性を向上させることができとなる。なお、本実施の形態1においては、この工程は、後の工程で行う。

【0070】

次いで、図3に示すように、半導体基板1の主面上に、例えば厚さ50nm程度の窒化シリコン (Si_3N_4 等、以下同じ) からなる絶縁膜5をCVD (Chemical Vapor Deposition) 法等によって形成する。続いて、その絶縁膜5上に、レジスト膜6aを形成する。レジスト膜6aの平面形状は、ワード線(配線)形成領域が露出され、それ以外が覆われるようなパターン形状に形成されている。な

お、絶縁膜5とレジスト膜6aとの間に反射防止膜を塗布しておいても良い。その後、図4に示すように、そのレジスト膜6aをマスクとして、絶縁膜5、4および絶縁膜2bを順にエッティング除去する（反射防止膜がある場合には反射防止膜も除去する）。これにより、半導体基板1において分離部2に溝（第2の溝、配線形成用の溝）7aを形成する。この溝7aの深さは、分離部2の分離溝2aよりも浅い。溝7aの深さは、後述の工程で分離膜2bが若干削られるので、その削られた後も溝7aの底部に絶縁膜2bが残るように設定する。

【0071】

次いで、レジスト膜6aを除去した後（反射防止膜を形成した場合には反射防止膜も除去する）、絶縁膜5をエッティングマスクとして、そこから露出する半導体基板1をエッティング除去することにより、溝（第3の溝、配線形成用の溝）7bを形成する。この段階において溝7bは、溝7aよりも深いが、分離溝2aよりは浅い。この溝7bの内側面も傾斜しており順テープ状に形成されている。半導体基板1の正面を基準としてその正面に対する溝7bの内側面の傾斜角度θ2は90度よりも小さい。この溝7a、7bによりワード線形成用の溝を形成する。なお、レジスト膜6aおよび反射防止膜を除去せずに溝7bを形成しても良い。また、ワード線形成用の溝は図5の紙面に交差する方向に延在している。

【0072】

ここで、ワード線形成用の溝を形成する際に、溝7a（分離部2の絶縁膜2bの一部除去）を形成した後、溝7b（半導体基板1の一部除去）を形成したのは、例えば次の理由からである。

【0073】

1つの理由は、ワード線形成用の溝の底部に半導体基板（シリコン）のエッティング残りを発生させることなく、その溝を形成できるからである。すなわち、溝7bを形成した後、溝7aを形成すると溝の底部にエッティング残りが生じる場合がある。これは、図6に示すように、仮に、溝7bから掘ると、分離部2の幅が図6の下方に向かって次第に狭くなっている、分離部2の側面にテープが形成されているので、その溝7bの底部において分離部2と接するところが影になり半導体基板（シリコン）のエッティング残りが生じる。この状態で、図7に示すよう

に、分離部2の絶縁膜2bを削り溝7aを形成すると、溝7a, 7bで構成されるワード線形成用の溝の底部に半導体基板の微細な突起が形成されてしまう。この突起はゲート絶縁膜の耐圧不良等の原因となる。他の理由は、絶縁膜2b(酸化シリコン膜)のエッチング除去後に、溝7a内に選択的に素子分離向上を目的としたホウ素等をイオン打ち込みすることができるからである。

【0074】

また、溝7bの形成に際して窒化シリコンからなる絶縁膜5をマスクとして用いたのは、例えば次の理由からである。1つの理由は、シリコンからなる半導体基板1をエッチングする際に、窒化シリコン膜はエッチングされ難いからである。他の理由は、後の工程において、多結晶シリコン膜を研磨するが、その際のストップとして機能するからである。さらに、他の理由は、仮に溝7aを掘る際に同時に溝7bも掘るとしても、分離部2bの酸化シリコンと、半導体基板1のシリコンとを同等のレートでエッチングすることは難しい。一方、2回に分けてエッチングするにはレジスト膜6aの厚さが不足するからである。レジスト膜厚は現像後の乾燥工程で、現像液の表面張力によって倒れないことが必要であるが、通常、レジスト膜の高さがレジスト膜の幅の3倍程度を超えるとレジスト倒れが生じる。レジスト膜6aの幅を、例えば0.13μm程度とすると、レジスト膜6aの高さは、約0.4μmが限界となる。溝7a, 7bの形成の場合、エッチング深さが、反射防止膜厚(約100nm)+窒化シリコン膜厚(約100nm)+酸化シリコン膜厚(約200nm)+シリコンの溝深さ(約200nm)であるので、レジスト膜6aがエッチング途中で消失し、溝パターンを形成することができない。

【0075】

また、溝7bの深さを、溝7aよりも深くしたのは、例えば次の理由からである。1つの理由は、ワード線の抵抗を低減することを考慮したものである。ワード線の両側の蓄積電極間の漏れ電流は、分離溝2aの深さと、分離部2の絶縁膜2b内に設けられるゲート電極(ワード線)の深さとの相対関係によって決まる。分離溝2aの深さと、絶縁膜2b内のゲート電極の深さの差が大きい程、ワード線の両側の蓄積電極間の漏れ電流は小さくなる。この漏れ電流の許容上限値は

、概ね 1 fA 以下である。すなわち、許容される漏れ電流の上限値が分離部 2 の絶縁膜 2 b 内のゲート電極の深さの上限値を決める。ところで、DRAM の場合は、ワード線の抵抗は、読み出しおよび書き込み速度を左右する重要な要因であるから低い方が好ましい。高速化のためには、ワード線の抵抗の低減は有効な手段である。ワード線の抵抗は、ワード線の材料とワード線の平均断面積で決まる。しかし、上記のように分離部 2 の絶縁膜 2 b 内のゲート電極の深さの上限値はワード線の両側の蓄積電極のリーク電流で決まるので、ワード線の抵抗を低減するには半導体基板 1 側の溝 7 a の深さを深くして平均断面積を大きくすることが有効である。したがって、この段階で溝 7 b の深さを溝 7 a より深くすることにより、上記蓄積電極間のリーク電流の問題を回避しつつ、ワード線の抵抗の低減を図ることができる。

【0076】

また、他の理由は、ワード線形成用の溝内にワード線材料（ゲート電極材料）を埋め込む際に、溝 7 a, 7 b の底部の境目に凹凸が少ない方が良いからである。溝 7 a, 7 b にワード線材料を埋め込む際に、溝 7 a, 7 b の表面の凹凸を最小にするには、本来は、溝 7 a, 7 b の深さが等しいときである。ところが、後述するように溝 7 b を形成した後には、半導体基板 1 における溝形成時のダメージを除去するために犠牲酸化膜を熱酸化法等で形成し、さらにその犠牲酸化膜をフッ酸等によって除去する必要がある。この犠牲酸化膜の除去の際、分離部 2 の絶縁膜 2 b は、熱酸化法で形成された犠牲酸化膜よりもエッチングレートが大きいので、絶縁膜 2 b のエッチング量、すなわち、溝 7 a 側の深さ増加量の方が、半導体基板 1 側のエッチング量、すなわち、溝 7 b の深さの増加量よりも大きくなってしまう。そこで、ワード線材料の埋め込みの際には溝 7 a, 7 b の深さが等しくなるような方向とするために、その深さ増加量の差を補償すべく、この溝 7 b の形成段階においては、溝 7 b の深さの方が、溝 7 a よりも深くなるようにしている。

【0077】

上記のような溝 7 a, 7 b の形成工程の後、半導体基板 1 に対して熱酸化処理を施すことにより、上記ダメージ除去を目的とした犠牲酸化膜を溝 7 a, 7 b 内

に形成する。このような犠牲酸化膜の形成後、メモリセル選択用MIS・FETのしきい値電圧を調整するための不純物をイオン打ち込み法等によって半導体基板1に導入する。犠牲酸化膜形成後に、しきい値電圧調整用の不純物を導入することにより、その不純物の拡散を抑制または防止することができるので、動作信頼性を向上させることができる。その不純物の打ち込みは、半導体基板1の正面に対して斜め方向および垂直な方向の両方から打ち込むことで、溝7bの内壁全面に不純物を入れるようにすることができる。

【0078】

また、しきい値電圧調整用の不純物の導入を、気相ドープによって行うことも可能である。この場合には、イオン打ち込み法によって不純物の導入を行った場合に比べて、溝7bの内面により均一に不純物を導入することが可能となる。

【0079】

前記しきい値電圧調整用の不純物を注入した後、犠牲酸化膜を、例えばフッ酸等によって除去する。この際、溝7aから露出する分離部2の絶縁膜2bのエッチングレートの方が、犠牲酸化膜よりも大きいが、それを見越して上述のように溝7a, 7bの深さに差を持たせてあるので、図8に示すように、溝7aの方が溝7bよりも深くなることはない。ここでは、この工程後も溝7bの方が、溝7aよりも深い場合が示されているが、ほぼ等しくなるようにしても良い。この段階では、それら溝7a, 7bの境界底部に、溝7a, 7b形成時に比べて大きく急峻な段差や凹凸がないことが好ましい。

【0080】

また、本実施の形態1においては、ゲート溝形成を前記ステップエッチング法によって形成することにより、ハードマスク下のアンダーカットを抑えつつ、しかも上記溝内の底部角の曲率半径の大きい所望の深さの溝を得ることができる。これにより、埋め込みゲート電極構造のMIS・FETの特性、特にサブスレッシュショルド特性を向上させることができる（サブスレッシュショルド係数を小さくすることができる）。すなわち、溝7b内の底部角近傍における電界の発散を緩和することができるので、チャネル抵抗を低減でき、所定のしきい値電圧で所望のドレイン電流を得ることができる。このため、素子駆動能力を向上させることができる。

能となる。また、デプレッション型にする必要がなくなるので、リーク電流の増大を防ぐことができ、消費電力の増大も防ぐことが可能となる。本実施の形態1においては、溝7b内の底部角の曲率半径を、例えば10nm以上、例えば30nm程度とした。溝7b内の底部角における曲率半径については後ほど詳細に説明する。

【0081】

続いて、半導体基板1に対して、ゲート酸化処理を施すことにより、図9に示すように、溝7bから露出する半導体基板1の表面に、例えば厚さ4nm程度の酸化シリコン等からなるゲート絶縁膜8aを形成する。その後、その上（溝7a, 7b内）に、例えば厚さ10nm程度の窒化シリコン等からなるゲート絶縁膜8bを低圧CVD法等によって堆積する。これにより、溝7a, 7b内にゲート絶縁膜8（8a, 8b）を形成する。本実施の形態1においては、CVD法等によりゲート絶縁膜8bを形成することにより溝7a, 7b内におけるゲート絶縁膜8aの被覆性の劣化を補うことができるので、ゲート絶縁耐圧を向上させることができが可能となる。図10は、ゲート絶縁膜を熱酸化法のみで形成した場合を模式的に示している。この場合は、溝7b内の底部角の領域Eにおいて熱酸化膜の形成に伴う応力の発生に起因してゲート絶縁膜8aの被覆性が劣化し、この箇所で電界集中が発生し易い。すなわち、この箇所でゲート絶縁破壊が生じ、ゲート電極Gと半導体基板1との間にリーク電流が流れてしまう。この現象は、溝7a, 7bの境界部分でも凹凸部ができやすいため、ゲート絶縁膜を熱酸化法のみで形成した場合に発生し易い。なお、符号のSDはソース・ドレイン領域を示している。一方、図11(a), (b)は、ゲート絶縁膜をCVD法で形成した場合を模式的に示している。図11の(b)は(a)の領域Eの拡大図である。この場合は、ゲート絶縁膜は下地に対してよりコンフォーマル(conformal)に成長するため、溝内の底部角での被覆性を向上させることができ、その底部角での絶縁耐圧劣化の問題を抑制または防止することができる。また、ゲート絶縁膜を熱酸化法とCVD法との積層膜で形成する場合は、熱酸化法で形成したゲート絶縁膜8aで被覆しきれなかった箇所等をCVD法で形成したゲート絶縁膜8bによって補うことができるので、上記のような問題を抑制または防止すること

が可能となる。

【0082】

また、ゲート絶縁膜8bの材料としては、窒化シリコンを選択したことにより、次の効果が得られる。第1に、本実施の形態1においては、後述するように、ゲート電極の材料としてチタンシリサイド等を用いているが、この場合、ゲート絶縁膜材料として窒化シリコンを用いるとゲート絶縁膜の信頼性を向上させることができる。これは、仮に窒化シリコンからなるゲート絶縁膜8bが無い状態で酸化シリコンからなるゲート絶縁膜8a上にチタンシリサイドを形成する工程を行うと、チタンがゲート絶縁膜8a中の酸素を奪ってしまう結果、ゲート絶縁膜8aが劣化（ゲート電極と半導体基板間にリーク電流が流れる等）するからである。ゲート電極材料として多結晶シリコンや、タングステンなどを用いる場合には、ゲート絶縁膜8bの材料として、例えば酸化シリコン膜や酸化タンタル（Ta₂O₅）を用いることもできる。第2は、ゲート容量を増大させることができるので、サブスレッシュルド係数を小さくすることができる。したがって、消費電力の増加を招くことなく、オン／オフ電流比の増大による素子駆動能力の向上を図ることが可能となる。ゲート絶縁膜8bの材料として酸化タンタルを用いた場合もこの効果を得ることができる。

【0083】

次いで、図12に示すように、溝7a, 7b内を含む半導体基板1上に、例えば細い溝でも埋め込むことが良好なノンドープの非晶質シリコンからなるゲート電極形成膜9aをCVD法等によって堆積した後、これを、窒化シリコン等からなる絶縁膜5をエッチングストッパとして図13に示すようにCMP法等によって研磨する。これにより、溝7a, 7bの深さの違いに起因するゲート電極形成膜9aの表面の凹凸を消滅させることができる。この段階では溝7a, 7b内のゲート電極形成膜9aの上面は、残された絶縁膜5の上面とほぼ等しい高さになっている。続いて、溝7a, 7b内では上記犠牲酸化膜のフッ酸によるエッチング処理等に起因して溝幅が大きくなっているために、そこに埋め込まれたゲート電極形成膜9a中にはボイドが形成されている場合があるので、そのボイドが開口されるまでゲート電極形成膜9aの上部を、図14に示すように、絶縁膜5を

エッチングマスクとして等方性エッチング処理等によってエッチング除去する。ボイドが開口するまでのゲート電極形成膜9aの除去を、エッチングのみによつて行うことも可能であるが、この方法によるとボイド底部のゲート電極形成膜9aに対するエッチングが進行し、そこからゲート絶縁膜8bが露出され不良を招く恐れがある。したがって、本実施の形態にあるように、ボイドが開口するまでゲート電極形成膜9aを除去する工程を、途中までCMPによって行い、ボイド底部のゲート電極形成膜9aへのエッチング量を減らすことで、前記の問題の発生を防ぐことができる。

【0084】

その後、図15に示すように、例えば窒化シリコンからなる絶縁膜10をCVD法等によって堆積した後、絶縁膜10を等方性ドライエッチング法によってエッチバックすることにより、図16に示すように、溝7a, 7b内に埋め込まれたゲート電極形成膜9a上面のボイドの中に絶縁膜10を埋め込む。この際、溝7a, 7bの上部側壁に絶縁膜10が残らないようにする。

【0085】

次いで、図17に示すように、再度、ゲート電極形成膜9aを等方性のドライエッチング処理によってエッチバックする。この際、半導体基板1上の絶縁膜5と、ゲート電極形成膜9aのボイドに埋め込まれた絶縁膜10をエッチングマスクとする。このようにボイド中に絶縁膜10を形成したのは、仮に、絶縁膜10が無いとすると、ゲート電極形成膜9aのエッチバック処理時に、ボイド部分は他の部分よりもエッチングが進行するので、そこからゲート絶縁膜8bが露出され不良を招く恐れがあるからである。したがって、そのような問題が生じない場合は、絶縁膜10の形成工程を無くしても良い。続いて、半導体基板1に対して酸化処理を施すことにより、非晶質シリコンを酸化した後、これによって酸化された部分をフッ酸等によって除去する。これにより、溝7a, 7b内に非晶質シリコンの残渣があったとしてもそれを除去することが可能となる。その後、図18に示すように、半導体基板1上に、例えばチタン(Ti)等からなる導体膜11をCVD法またはスパッタリング法等によって堆積した後、アニールを施すことにより、導体膜11とゲート電極形成膜9aとがシリサイデーション反応を起

こす。その後、未反応の導体膜11を過酸化水素等を用いて除去することにより、図19および図20に示すように、溝7a, 7b内に、例えばチタンシリサイド等からなるワード線WL(ゲート電極9)を形成する。本実施の形態1においては、良好な埋め込みが可能な非晶質シリコンを用いて微細な溝7a, 7bを埋め込んだ後、その非晶質シリコンをシリサイデーション化によってシリサイド化することにより、低抵抗なチタンシリサイド等からなるゲート電極9を、埋め込み性良く溝7a, 7b内に形成することができる。ただし、埋め込みゲート電極材料は、チタンシリサイドに限定されるものではなく種々変更可能である。例えばチタンシリサイドの表面をさらに窒化し、窒化チタンを積層する構造としても良い。この場合は、後の工程でゲート電極が露出するようなコンタクトホールを絶縁膜に穿孔した後の洗浄処理に際してゲート電極の耐性を向上させることができるとなる。また、タンクスチタン等のような金属を用いることでワード線WLの抵抗を大幅に低減することもできる。さらに、例えば低抵抗多結晶シリコン、窒化タンクスチタンおよびタンクスチタンを下層から順に積み重ねた構造とすることもできる。この場合は、最下層の多結晶シリコンをp型とすることにより、n型シリコンとの仕事関数差分だけしきい値電圧を稼ぐことができるので、半導体基板1の不純物濃度を低くした状態で、所望のしきい値電圧を確保することが可能となる。この効果は、ゲート電極材料としてタンクスチタンを用いた場合も得られる。さらに、低抵抗多結晶シリコンのみを用いてゲート電極を構成しても良い。

【0086】

また、本実施の形態1においては、ワード線WL(ゲート電極9)の上面が、半導体基板1の正面から40nm以上深い位置に形成されていることが好ましい。特に限定されないが、本実施の形態1においては、ワード線WLの上面を、半導体基板1の正面から、例えば70nm程度深い位置に形成する。その理由については後ほど説明する。また、図20はメモリセル領域の要部平面図を示している。ワード線WLは、活性領域Lに対して交差するように配置されている。1つの活性領域Lに対して2本のワード線WLが平面的に重なるように配置されている。ワード線WLにおいて活性領域Lに平面的に重なる部分がゲート電極9となっている。なお、活性領域Lは、ワード線WLの延在方向に対して斜めに配置さ

れている。

【0087】

次いで、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12をCVD法等によって堆積した後、絶縁膜5をエッチングストップとして、絶縁膜12をCMP法等によって研磨する。続いて、残された絶縁膜5を熱リン酸を用いて除去することにより、図21に示すように、ワード線WL(ゲート電極9)上に、例えば酸化シリコンからなるキャップ絶縁膜12aを形成する。この段階において、図22に示すように、溝7a内において、ワード線WL(ゲート電極9)の下部には、分離部2の絶縁膜2bが残されている。これは、溝7aの底部側に確保される絶縁膜2bの厚さが薄すぎるとワード線WLを一部とした寄生素子が形成されてしまうので、それを抑制または防止するためである。本発明者の検討結果によれば、その絶縁膜2bの厚さdは、例えば100nm程度またはそれ以上あることが好ましい。なお、分離部2の溝2bの深さは、素子分離能力を確保するため、溝7a, 7bよりも深く形成されている。

【0088】

次いで、埋め込みゲート電極でない通常のゲート電極構造のMIS・FETのしきい値電圧を調整するための不純物をレジスト膜をマスクとして半導体基板1に選択的に導入する。この際、nMIS形成領域には、例えばホウ素を導入し、pMIS形成領域には、例えばリンを導入する。続いて、しきい値電圧調整用不純物導入工程時に用いたレジスト膜を除去した後、半導体基板1の主面上において埋め込みゲート電極9(ワード線WL)の形成領域をレジスト膜で覆う。その後、半導体基板1の主面の酸化膜をフッ酸またはバッファードフッ酸等を用いて除去した後、さらに、レジスト膜を除去後、ゲート酸化処理を半導体基板1に対して施す。これにより、図23に示すように、半導体基板1の主面上の通常のゲート電極構造のMIS・FET形成領域(nMISおよびpMISIの両方の形成領域)にゲート絶縁膜13を形成する。

【0089】

次いで、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜14をCVD法等によって堆積した後、これをワード線WL(埋め込みゲート電極9)

の形成領域が露出され、それ以外が覆われるようにフォトリソグラフィ技術およびドライエッチング技術によってパターニングする。続いて、絶縁膜14をマスクとして、半導体基板1に、埋め込みゲート電極構造のMISFETのソース・ドレイン用の不純物を導入する。ここでは、例えばリンを20keVで $2 \times 10^{13}/\text{cm}^2$ 程度導入する。これにより、ソース・ドレイン用の半導体領域のうち、相対的に不純物濃度の低い低濃度領域（第2の半導体領域）15aを形成する。その後、絶縁膜14をフッ酸等によって除去する。

【0090】

次いで、半導体基板1の主面上に、例えば非晶質シリコンからなるゲート電極形成膜16aをCVD法等によって堆積した後、レジスト膜をマスクとしてn型ゲート領域およびp型ゲート領域をイオン打ち込みで形成する。続いて、レジスト膜を除去した後、不純物を活性化するためのアニールを施す。その後、そのゲート電極形成膜16aをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、図24に示すように、通常のゲート電極16を形成する。その後、レジスト膜をマスクとして、半導体基板1に、通常のゲート電極構造のMIS·FETのソース・ドレイン用の半導体領域のうち、相対的に不純物濃度の低い低濃度領域を形成するための不純物をイオン打ち込み法等によって導入することにより、低濃度領域17a, 18aをゲート電極16に対して自己整合的に形成する。なお、nMISとpMISとでは、当該不純物を別々のレジスト膜をマスクとして打ち分ける。nMIS形成領域には、例えばリンまたはヒ素を導入し、pMIS形成領域には、例えばホウ素を導入する。

【0091】

次いで、半導体基板1の主面上にゲート電極16の表面を覆うように、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチング法によってエッチバックすることにより、ゲート電極16の側面にサイドウォール19を形成する。続いて、ゲート電極16およびサイドウォール19をマスクとして、半導体基板1に、通常のゲート電極構造のMIS·FETのソース・ドレイン用の半導体領域のうち、相対的に不純物濃度の高い高濃度領域を形成するための不純物をイオン打ち込み法等によって導入することによ

り、高濃度領域17b, 18bをゲート電極16に対して自己整合的に形成する。なお、ここでも、nMISとpMISとでは、当該不純物を別々のレジスト膜をマスクとして打ち分ける。nMIS形成領域には、例えばリンまたはヒ素を導入し、pMIS形成領域には、例えばホウ素を導入する。このようにして周辺回路領域に、nMISQnおよびpMISQpのソース・ドレイン用の半導体領域17, 18を形成する。

【0092】

次いで、半導体基板1の主面上に、例えば厚さ100nm程度の酸化シリコンからなる絶縁膜20を堆積した後、これをCMP法で研磨することにより、その上面を平坦化する。続いて、図25および図26に示すように、絶縁膜20に、埋め込みゲート電極構造のMIS·FET(メモリセル選択用MIS·FET)のソース・ドレイン用の半導体領域(低濃度領域15a)が露出するようなコンタクトホール21を形成する。図26は図25の工程におけるメモリセル領域の要部平面図を示している。コンタクトホール21は、例えば平面円形状に形成されており、互いに隣接するワード線WL(ゲート電極9)の間において、活性領域Lに平面的に重なる位置に配置されている。すなわち、コンタクトホール21は、活性領域Lの両端および中央に平面的に重なるように配置されている。その後、半導体基板1上に、例えばリンをドープした多結晶シリコンを堆積した後、不純物を活性化するためのアニール処理を施す。この際、プラグ22から半導体基板1に不純物(リン)が拡散することにより、埋め込みゲート構造のMIS·FETのソース・ドレイン用の半導体領域に高濃度領域が形成される。その後、その多結晶シリコン膜がコンタクトホール21内のみに残されるようにCMP法等によって研磨することにより、コンタクトホール21内にプラグ22を形成する。図27はこの工程後の半導体基板1の埋め込みゲート電極構造のMIS·FET(メモリセル選択用MIS·FETQs)部分の拡大図を示している。メモリセル選択用MIS·FETQsのソース・ドレイン領域は、低濃度領域15aとその上部に形成された高濃度領域15bとを有している。低濃度領域15aとpウェル3Pとの境界は、埋め込み型のゲート電極9(ワード線WL)の上面よりも深い位置に形成されている。また、高濃度領域15bと低濃度領域15aと

の境界は、埋め込み型のゲート電極9（ワード線WL）の上面よりも浅い位置に形成されている。この高濃度領域15bは、プラグ22からの不純物の拡散によって形成されている。一方のプラグ22（すなわち、高濃度領域15b）には、情報蓄積用の容量素子が電気的に接続され、他方のプラグ22（すなわち、高濃度領域15b）にはビット線が電気的に接続される。

【0093】

次いで、図28に示すように、半導体基板1上に、例えば酸化シリコンからなる絶縁膜23をCVD法等によって堆積し、その上面をCMP法等で平坦にした後、絶縁膜23にプラグ22の上面が露出するスルーホール24aおよび絶縁膜23、20に周辺回路領域のnMISQnおよびpMISQpのソース・ドレン用の半導体領域17、18が露出するコンタクトホール24bを形成する。続いて、半導体基板1上に、例えばチタン、窒化チタンを下層から順にスパッタリング法またはCVD法等によって堆積した後、その上にタンクステン等をCVD法等によって堆積する。チタンや窒化チタンは、後に続くキャパシタ形成工程での熱処理においてタンクステンとシリコンとが反応するのを防ぐためのバリア膜としての機能を有している。その後、そのチタン、窒化チタンおよびタンクステン等の積層膜をCMP法等によって研磨することにより、スルーホール24a内およびコンタクトホール24b内にプラグ25を形成する。この際、絶縁膜23がストップとして機能する。その後、絶縁膜23上に、例えば酸化シリコンからなる絶縁膜27aを形成した後、これに配線形成用の溝を形成する。続いて、その上に、例えばタンクステン等のような導体膜をスパッタリング法等によって堆積した後、これをCMP法等によって研磨することにより、埋め込み型のビット線BLおよび第1層配線26を形成する。なお、この段階のメモリセル領域の要部平面図を図29に示す。ビット線BLは、平面的にワード線WLに対して直交する方向に延在されている。そして、活性領域Lの中央のコンタクトホール21に平面的に重なるように配置されている。

【0094】

次いで、図28に示すように、半導体基板1上に、例えば酸化シリコンからなる絶縁膜27bをCVD法等によって堆積した後、さらに、その上に、例えば窒

化シリコンからなる絶縁膜28を堆積する。続いて、その絶縁膜28にキャパシタの下部電極とプラグ22とをつなぐためのスルーホール29を形成した後、絶縁膜28上に、例えば酸化シリコンからなる絶縁膜30をCVD法等によって堆積する。その後、その絶縁膜30にキャパシタ孔31を穿孔する。この際、酸化シリコンの方が窒化シリコンよりもエッティングレートが速くなる条件でエッティングすることにより、絶縁膜28をマスクとして、キャパシタ孔31の底部のスルーホール29から露出する絶縁膜23、27をエッティング除去することにより、プラグ22の上面が露出するスルーホール32を形成する。

【0095】

次いで、図28に示すように、下部電極33a、容量絶縁膜33bおよび上部電極33cを形成して情報蓄積用の容量素子Cを形成する。下部電極33aは、例えばP（リン）がドープされた低抵抗多結晶シリコン膜からなり、スルーホール32を通じてプラグ22と電気的に接続されている。容量絶縁膜33bは、例えば、酸化シリコン膜と窒化シリコン膜との積層膜または酸化タンタル（Ta₂O₅）等からなり、上部電極33cは、例えば窒化チタンからなる。続いて、絶縁膜30上に、例えば酸化シリコンからなる絶縁膜34をCVD法等によって堆積した後、上記プラグ25と同様（同じ方法および材料）にして、上部電極33cと周辺回路領域の第1層配線26に接続されるプラグ35を形成し、さらに、絶縁膜34上に、第2層配線36を第1層配線26と同様に形成する。ただし、ここでは、第2層配線36の材料として、例えばアルミニウムやアルミニウム合金を用いることができる。第2層配線36は、プラグ35を通じて上部電極33cおよび第1層配線26と電気的に接続されている。その後、絶縁膜34上に、例えば酸化シリコンからなる絶縁膜37をCVD法等によって堆積した後、上記プラグ25と同様（同じ方法および材料）にして、第2層配線36に接続されるプラグ38を形成し、さらに、絶縁膜37上に、第2層配線36と同様に、第3層配線39を形成する。第3層配線39の材料は、第2層配線36と同じである。第2層配線39は、プラグ38を通じて第2層配線36と電気的に接続されている。

【0096】

次に、本実施の形態1の半導体集積回路装置の作用および効果について説明する。図31は、本実施の形態1の半導体集積回路装置におけるメモリセル選択用MIS・FETQsの断面を模式的に示した説明図である。まず、本実施の形態1においては、ゲート電極9（ワード線WL）を半導体基板1中に埋め込む構造としたことにより、実効的なチャネル長を長くすることができるので、半導体基板1の不純物濃度を低減することができる。このため、ソース・ドレインにおける接合電界強度を小さくすることができる。また、ビット線BLおよび下部電極33aが接続されるプラグ22とワード線WL（ゲート電極9）との容量を低減できるので、信号の伝達速度を向上させることができるとなる。

【0097】

また、メモリセル選択MIS・FETQsにおいてオフ時（例えばゲート電圧が0Vの時）のソース・ドレイン領域におけるpn接合の電界強度を低減することができる。ソース・ドレイン領域におけるpn接合の電界強度は、不純物で決定する要因とpn接合端の曲率半径で決定する要因がある。埋め込みゲート電極構造の場合は、図32に示すように、ソース・ドレイン領域におけるpn接合端がゲート電極9に重なる、すなわち、半導体領域15bとpウエル3Pとの境界がゲート電極9の上面よりも深く形成されているので殆ど曲率半径が大きいまたは無限大である。その分、ソース・ドレイン領域のpn接合の電界強度を低減できる。しかし、本発明者らの実験によれば、情報蓄積用の容量素子Cが接続されるソース・ドレイン領域のpn接合部での空乏層40の端部と、ゲート電極9上端部との距離Laが短すぎると、ソース・ドレインとなる半導体領域15bと、オフ時のゲート電極9との電位差により電界強度が大きくなってしまう。例えば図33(a), (b)は、ゲート電極9の電位による空乏層空間電荷への影響を説明する図である。同図(a)は通常の状態である。ここで、半導体領域15b(n領域)の電位がゲート電極9の電位よりも高い状態(半導体領域15bが逆バイアスされ、ゲート電極9が非選択の時(オフ時))で、ゲート電極9の端部がn型中性領域(ほぼ半導体領域15bに等しい)に近づくと、半導体領域15bとゲート電極9との電位差によって、図33(b)に示すように、空乏層内の空間電荷分布に歪みが生じ、部分的に狭くなる。この狭くなったバンドギャップ

ブ部分を通じてリーク電流が発生する。特に、そのバンドギャップの歪み部分に不純物準位が存在すると、トラップアシストトンネリング現象によってリーク電流が生じ易くなる。そこで、本実施の形態1においては、ゲート電極9の上面を、上述のバンドギャップの歪みの影響を無視できる程度まで下げる構造としている。本発明者らの実験結果によれば、他の要素によって変わることもあり一概には言えないが、ゲート電極9の上面が半導体基板1の主面よりも40nm以上深くすることにより、または、上記距離L_aを40nm以上とすることにより、上記電位差に起因した電界を低減することができ、全体的にpn接合の電界強度を低減することができた。なお、この構造からゲート電極9上のキャップ絶縁膜12aの厚さは、例えば40nm以上となる。また、通常のゲート電極構造の場合は、ゲート電極の側面に設けたサイドウォールによって上記距離L_aを確保することができたが、ゲート電極端部と低濃度領域と高濃度領域とは半導体基板1の主面に沿って並ぶ構造である上、微細化に伴いサイドウォールの膜厚も薄くなりつつある。本実施の形態1の場合は、ソース・ドレイン用の高濃度領域15a、低濃度領域15aおよびゲート電極端部が半導体基板1の厚さ方向に沿って並ぶ構造なので、距離L_aをある程度確保したとしても、あるいはサイドウォールに相当するキャップ絶縁膜12aの厚さを厚くしても、メモリセル選択用MIS·FETQsの占有面積の寸法縮小が可能であり、高集積化が要求されるDRAMにとっては都合の良い構造である。

【0098】

このように、本実施の形態1においては、メモリセル選択用MIS·FETQsのソース・ドレイン領域における接合電界強度を低減することができるので、その分、リフレッシュ時間を長くすることができる。したがって、リフレッシュの際の充放電サイクルを長くできるので、その分、DRAMの消費電力を低減することが可能となる。例えば同じセルサイズの場合において、リフレッシュ時間は、非対称方式のDRAMのメモリセル（通常のゲート電極構造のメモリセル選択用MIS·FET）構造で100msであるのに対して、300msまで長くできた。その結果、待機時の消費電力を、上記非対称方式の場合で1.2mAであったものを、0.5mA程度までに低減できた。

【0099】

次に、溝7b内の底部角に丸みを形成したことによりサブスレッショルド特性が向上する（サブスレッショルド係数が小さくなる）効果について説明する。サブスレッショルド係数Sは、ドレイン電流を1桁変化させるのに要するゲート電圧の幅であり、 $S = \ln 10 \cdot kT/q (1 + (Cd + C_{it})/C_{ox})$ で表すことができ、小さい値が良い。なお、 C_d は空乏層容量、 C_{it} は界面準位（等価容量）、 C_{ox} はゲート容量を示している。

【0100】

溝7b内の底部角に丸みがないと、すなわち、その底部角の曲率半径が小さくなると、チャネル抵抗が増大し、サブスレッショルド係数が大きくなる。図34はMIS・FETの電流特性とサブスレッショルド係数との関係を示している。曲線S1はサブスレッショルド係数Sが小さい場合、曲線S2a, 2bはサブスレッショルド係数Sが大きい場合を示している。サブスレッショルド係数Sが大きい曲線S2aでは、一定のしきい値電圧 V_{th} において所望のドレイン電流 I_d （例えば10nA）を得ようと、チャネルインピラ等を減らすと、曲線S2aを図34の左の方向に移動した曲線S2bとなり、所望のドレイン電流を得ることができる。しかし、この場合は、デプレッション型となり、ゲート電圧が0V（オフ時）でのリーク電流が増大してしまう。すなわち、消費電力は増大してしまう。そこで、本実施の形態1においては、溝7bの底部に丸みを形成した。図35は、本発明者らの実験によって得られた溝7b内の底部角の曲率半径とサブスレッショルド係数との関係を示している。本発明者らの実験結果によれば、サブスレッショルド係数が100より小さい値となるように曲率半径を設定すると有効であると判定された。サブスレッショルド係数Sは、上記式で示したように、空乏層容量、界面準位およびゲート容量によっても変わるので一概には言えないが、その曲率半径が10nm未満の場合には、サブスレッショルド係数が大きくなりオン／オフ電流比を大きくとれないが、曲率半径が10nm以上にするとサブスレッショルド係数を90mV/decade以下にすることができ、オン／オフ電流比を大きくとることができた。したがって、メモリセル選択用MIS・FETQsの駆動能力の向上が図れ、動作速度（書き込みや読み出し動作速度

) の向上を図ることができる。しかも、サブスレッショルド係数を小さくできるので、オフ時のリーク電流を増大させることもなく、消費電力の増大も抑えることが可能となる。なお、ゲート容量が大きいほどサブスレッショルド係数は小さくなる。したがって、ゲート絶縁膜の膜厚を薄くする、または誘電率の高い材料（例えば窒化シリコンや酸化タンタル）をゲート絶縁膜の一部または全体の材料として使用すると良い。また、空乏層容量が小さい程、サブスレッショルド係数は小さくなる。このためには、半導体基板1の不純物濃度を低くするか、または、基板バイアスを深く（負側に）する、あるいはそれらを組み合わせる構造とすると良い。基板バイアスを深くする（マイナス方向にする）場合には、半導体基板1においてメモリセル選択用M I S・F E T Q s が形成されたp ウエル3 P（メモリ領域のp ウエル3 P）を、その下部および側面に設けられた埋め込みn ウエルによって取り囲み、周辺回路領域に形成されたp ウエル3 Pとは電気的に分離した構造とした状態で、そのメモリセル選択用M I S・F E T Q s が形成されたp ウエル3 Pの電位を制御、すなわち、マイナス方向に大ききし負電位にすれば良い。この場合、メモリセル選択用M I S・F E T Q s のソース・ドレインとp ウエル3 P間の接合容量を低減できる。また、サブスレッショルド係数は界面準位密度が少ない程小さくなる。

【0101】

(実施の形態2)

本実施の形態2においては、前記実施の形態1のD R A Mの製造方法の変形例について説明する。

【0102】

まず、図3 6に示すように、前記実施の形態1と同様に、半導体基板1上に絶縁膜4, 5を形成した後、これをマスクとして、半導体基板1に、例えば深さ230～250 nm程度の溝7を形成する。この溝7の形成は、上記2ステップエッチング処理によって行う。すなわち、溝加工時のドライエッチング条件を変えることにより、平面寸法の小さな深い溝7内の角部を除去し、溝7の内側面と底面とのなす角部の曲率半径が、例えば40 nm程度となるような丸みを形成する。本実施の形態2においては、半導体基板1と分離部2との境界部においても溝

7を同時にほぼ同じ深さになるように形成する。

【0103】

続いて、前記実施の形態1と同様に犠牲酸化処理および犠牲酸化膜除去処理を施した後、図37に示すように、例えば厚さ4nm程度の酸化シリコン膜からなるゲート絶縁膜8aを熱酸化法によって形成した後、その上に、例えば厚さ8nm程度の窒化シリコンからなるゲート絶縁膜8bをCVD法によって堆積する。その後、半導体基板1上に、例えば厚さ70nm程度のタンゲステン等からなるゲート電極形成膜9aを堆積した後、これをドライエッティング法によってエッチバックする。その後、絶縁膜5をエッティング除去する。これにより、図38に示すように、溝7内のみにゲート電極9を形成する。この際、ゲート電極9の上面は半導体基板1の上面よりも低くなっている。ここでは、前記実施の形態1と同様に、半導体基板1の正面から溝7のゲート電極9の上面までの深さを、例えば70nm程度とした。その後、半導体基板1にメモリセル選択用MIS·FETのソース・ドレイン用の半導体領域のうち、相対的に不純物濃度が低い低濃度領域15aを形成する。

【0104】

次いで、半導体基板1上に、例えば厚さ20nm程度の窒化シリコンからなる絶縁膜をCVD法等によって堆積した後、これをドライエッティング法によってエッチバックすることにより、図39に示すように、溝7の内側面上部（ゲート電極9の上面と溝7の開口部との間の側面）にサイドウォール41を形成する。このサイドウォール41は、ゲート絶縁膜8aの削れを抑制または防止するためのものである。続いて、図40に示すように、半導体基板1の正面に、例えば150nm程度の窒化シリコンからなる絶縁膜42をCVD法等によって堆積した後、これを例えば80nm程度CMP法等によって研磨することにより、絶縁膜42の上面を平坦化する。続いて、この絶縁膜42において、前記実施の形態1で説明した周辺回路領域に堆積されている部分をフォトリソグラフィ技術およびドライエッティング技術によって除去する。したがって、絶縁膜42は、メモリセル領域を覆うように半導体基板1の正面に形成されている。また、絶縁膜42の一部は、溝7内の上部に埋め込まれており、キャップ絶縁膜と同等の機能を有

している。

【0105】

次いで、前記実施の形態1と同様にして周辺回路領域にnMISQnおよびpMISQpを形成した後、図41に示すように、絶縁膜42に、メモリセル選択用MIS·FETのソース・ドレイン用の低濃度領域15aの一部が露出するようなコンタクトホール21をドライエッティング法等によって形成する。この際、本実施の形態2においては、窒化シリコンのエッティングレートの方が、酸化シリコンよりも速くなるような条件でエッティングする。これにより、例えばコンタクトホール21の底面から分離部2（酸化シリコン等からなる絶縁膜2b）が露出された状態で、オーバーエッティング処理を施したとしてもその分離部2の上部をエッティングによって削ってしまうのを抑制または防止することが可能となる。続いて、例えばリンをそのコンタクトホール21を通じてイオン打ち込みすることにより、半導体基板1の上部（低濃度領域15aの上部）に高濃度領域15aを形成する。その後、半導体基板1上に、例えばタンクステン等のような導体膜を堆積した後、これをパターニングすることにより、ビット線BLを形成する。これ以降は前記実施の形態1と同じなので説明を省略する。

【0106】

本実施の形態2においては、前記実施の形態1で得られた効果の他に、以下の効果を得ることが可能となる。

【0107】

すなわち、絶縁膜42にコンタクトホール21をドライエッティング法等によって形成する際、窒化シリコンのエッティングレートの方が、酸化シリコンよりも速くなるような条件でエッティングすることにより、例えばコンタクトホール21の底面から分離部2が露出された状態で、オーバーエッティング処理を施したとしてもその分離部2の上部をエッティングによって削ってしまうのを抑制または防止することが可能となる。したがって、メモリセル選択用MIS·FETの信頼性および歩留まりを向上させることが可能となる。

【0108】

（実施の形態3）

本実施の形態3においては、前記実施の形態1、2のDRAMの製造方法の変形例について説明する。

【0109】

まず、前記実施の形態2で説明した図39の工程を経た後、図40で説明した絶縁膜42をドライエッチング法によってエッチバックすることにより、図42に示すように、溝7内の上部、ゲート電極9上に、例えば窒化シリコン等からなるキャップ絶縁膜42aを形成する。この際の絶縁膜42のエッチング量を、例えば90nm程度とすると、溝7内には、例えば厚さ50nm程度のキャップ絶縁膜42aが埋め込まれることになる。

【0110】

続いて、図43に示すように、例えば厚さ100nm程度の酸化シリコンからなる絶縁膜20をCVD法等によって半導体基板1上に形成した後、レジスト膜6bをエッチングマスクとして、図44に示すように、絶縁膜20にビット線用のコンタクトホール21を穿孔する。コンタクトホール21の底部からは半導体基板1の低濃度領域15aが露出されている。

【0111】

この際、本実施の形態3においては、窒化シリコンのエッチングレートの方が、酸化シリコンよりも速くなるような条件でエッチングする。本実施の形態3においては、キャップ絶縁膜42aが窒化シリコンからなるので、コンタクトホール21の形成に際してオーバーエッチング処理を施したとしても、キャップ絶縁膜42aのエッチング速度が遅いため、コンタクトホール21がゲート電極9まで達してしまうのを防止することができる。すなわち、コンタクトホール21をゲート電極9に対して自己整合的に形成することができる。また、前記実施の形態2と同様に、コンタクトホール21から分離部2の一部が露出されてもエッチングによって大幅に削ってしまうこともない。

【0112】

また、ここで、完成時のメモリセル選択用MIS・FETQsのしきい値電圧が低い場合には、コンタクトホール21を通じて、そのしきい値電圧を調整するための不純物（例えばホウ素）を、例えば20～50keV程度のエネルギーで

$1 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ 程度打ち込んでも良い。これにより、図45に示すように、ビット線が接続される低濃度領域15aの下にp⁻型の半導体領域43を形成する。その後、コンタクトホール21を通じて、例えばリンをイオン打ち込みすることにより、高濃度領域15bを形成する。

【0113】

次いで、図46に示すように、半導体基板1上に、例えば厚さ300nm程度の酸化シリコンからなる絶縁膜44を堆積した後、絶縁膜44、20にキャパシタ用のコンタクトホール45を穿孔する。この際ににおいても、本実施の形態3においては、窒化シリコンのエッチングレートの方が、酸化シリコンよりも速くなるような条件でエッチングすることにより、コンタクトホール45の形成時にオーバーエッチング処理を施したとしても、キャップ絶縁膜42aのエッチング速度が遅いため、コンタクトホール45がゲート電極9まで達してしまうのを防止することができる。すなわち、コンタクトホール45をゲート電極9に対して自己整合的に形成することができる。また、前記実施の形態2と同様に、コンタクトホール45から分離部2の一部が露出されてもエッチングによって大幅に削ってしまうこともない。

【0114】

また、ここで、コンタクトホール45を通じて、例えばリンを20keV～50keV程度のエネルギーで $1 \times 10^{13} \sim 3 \times 10^{13} / \text{cm}^2$ 程度イオン打ち込み、低濃度領域15aよりも不純物濃度が低いn型の半導体領域46を形成する。このn型の半導体領域46は、上記埋め込みゲート構造のメモリセル選択用MIS·FETのソース・ドレイン用の半導体領域における接合電界強度を緩和する機能を有している。

【0115】

続いて、コンタクトホール45内にプラグ47を前記プラグ22と同様に形成した後、プラグ47の不純物を半導体基板1側に拡散させることにより、半導体基板1の上部（低濃度領域15aの上部）に高濃度領域15bを形成する。その後、情報蓄積用の容量素子の下部電極33aを形成し、その表面を覆うように容量絶縁膜33bを形成し、さらに上部電極33cを形成する。なお、本実施の形

態3においても、前記実施の形態1と同様に、図47に示すように、ビット線用のコンタクトホール21と、容量素子用のコンタクトホール21とを同時に穿孔し、その内部に埋め込まれたプラグ22からの不純物拡散によって高濃度領域15bを形成するようにしても良い。なお、符号のVaは、メモリセル選択用MIS・FETQsのしきい値電圧調整用の不純物を導入した領域である。

【0116】

本実施の形態3においては、前記実施の形態1, 2で得られた効果の他に、以下の効果を得ることが可能となる。

【0117】

(1). 情報蓄積用の容量素子Cが電気的に接続されたソース・ドレイン用の低濃度領域15aの下に、さらに低不純物濃度の半導体領域46を形成したことにより、ソース・ドレインの接合電界強度を低減することが可能となる。これにより、漏れ電流を低減することが可能となる。

【0118】

(2). ビット線BLが接続されたソース・ドレイン用の低濃度領域15a側のみにホウ素をイオン打ち込みすることにより、チャネルに打ち込まれるホウ素の濃度低減によるしきい値電圧の低下を補償することが可能となる。

【0119】

(3). キャップ絶縁膜42aを窒化シリコン膜で形成し、その上の絶縁膜20, 44を酸化シリコン膜で形成し、かつ、コンタクトホール21, 45の形成時に窒化シリコンのエッチングレートの方が酸化シリコンよりも速くなるような条件でエッチングすることにより、コンタクトホール21, 45の形成に際しオーバーエッチング処理を施したとしても、キャップ絶縁膜42aのエッチング速度が遅いため、コンタクトホール21, 45がゲート電極9まで達してしまうのを防止することが可能となる。

【0120】

(4). 上記(3)により、コンタクトホール21, 45をゲート電極9に対して自己整合的に形成することができる。したがって、素子集積度の向上を図ることが可能となる。

【0121】

(5).埋め込みゲート電極9上のキャップ絶縁膜42aを窒化シリコン膜で形成し、これをコンタクトホール21, 45を形成する際のエッチングストップとすることにより、コンタクトホール21, 45を開口する際にソース・ドレインの側壁部を覆う絶縁膜（キャップ絶縁膜42a、ゲート絶縁膜8a, 8bを含む）のオーバーエッチング量を減らすことが可能となる。

【0122】

(6).上記(5)により、プラグ47とゲート電極9の端部との距離が小さくなることを回避することが可能となる。

【0123】

(7).上記(5)により、高濃度領域をコンタクトホール形成工程後にコンタクトホール底部に露出したソース・ドレイン領域上に形成する場合（ポリシリプラグからの固相拡散だけでなく、イオン注入を含む）には、高濃度領域とゲート電極9の端部との距離が小さくなることによって生じる問題を回避することが可能となる。

【0124】

(実施の形態4)

本実施の形態4においては、D R A Mの周辺回路を構成するM I S · F E Tも埋め込みゲート電極構造とした場合について説明する。

【0125】

図48は、D R A Mのメモリセル領域と周辺回路領域との要部断面図を示している。メモリセル領域のメモリセル選択用M I S · F E T Q s の構造は前記実施の形態1～3と同じなので説明を省略する。

【0126】

周辺回路を構成するn M I S Q n およびp M I S Q p は、埋め込み型のゲート電極9と、ゲート絶縁膜8と、ソース・ドレイン用の半導体領域48, 49とを有している。n M I S Q n およびp M I S Q p のゲート電極9は、半導体基板1に形成された溝（第3の溝、配線形成用の溝）7c内にゲート絶縁膜8を介して埋め込まれている。溝7cの深さは、溝7a, 7bとほぼ同じであるが、溝7c

の平面寸法は、メモリセル領域の溝7a, 7bの平面寸法よりも大きい。本実施の形態4においては、例えばnMISQnおよびpMISQpのゲート電極9の材料や形成工程を、メモリセル領域のゲート電極9と同じとすることにより、工程数を減らすことができる。nMISQnおよびpMISQpのゲート幅およびゲート長は、メモリセル選択用MIS·FETQsのゲート幅およびゲート長よりも大きくなっている。これは、周辺回路ではメモリセル領域とは別の素子特性（例えば高駆動能力）が要求される場合があるからである。ただし、nMISQnおよびpMISQpのゲート電極9を、メモリセル選択用MIS·FETQsのゲート電極9とは別材料で形成しても良いし、別工程時に形成しても良い。nMISQnおよびpMISQpのゲート電極9を、メモリセル選択用MIS·FETQsのゲート電極9とは別材料とすることにより、メモリセルおよび周辺回路用のMIS·FETとして各々必要な特性が得られるようになることが可能となる。なお、ゲート電極形成工程をメモリセルと周辺回路とで共通とする場合には、nMISQnおよびpMISQpのゲート電極9の埋め込み深さ（上面の高さ）は、メモリセル選択用MIS·FETQsのゲート電極9と同じである。したがって、そのゲート電極9上のキャップ絶縁膜12a(42a)の厚さもメモリセル領域とほぼ同じである。

【0127】

nMISQnおよびpMISQpのゲート絶縁膜8も、メモリセル選択用MIS·FETQsのゲート絶縁膜8a, 8bと同じ材料で同工程時に形成されている。したがって、nMISQnおよびpMISQpのゲート絶縁膜8も、熱酸化膜とCVD酸化膜との積層膜となっている。ただし、nMISQnおよびpMISQpのゲート絶縁膜8も、メモリセル選択用MIS·FETQsのゲート絶縁膜8a, 8bとは別材料で別工程時に形成しても良い。この場合、周辺回路用のMIS·FETのゲート絶縁膜8の厚さや誘電率等を所望するものとすることにより、周辺回路用のMIS·FETに必要な特性が得られるようになることが可能となる。

【0128】

nMISQnおよびpMISQpのソース・ドレイン用の半導体領域48, 4

9は、例えばメモリセル領域のメモリセル選択用M I S・F E T Q sのソース・ドレイン用の半導体領域（低濃度領域15aおよび高濃度領域15b）とは別工程時に形成されている。n M I S Q nのソース・ドレイン用の半導体領域48は、低濃度領域48aと高濃度領域48bとを有している。また、p M I S Q pのソース・ドレイン用の半導体領域49は、低濃度領域49aと高濃度領域49bとを有している。低濃度領域48aおよび高濃度領域48bは、共に、例えばリンが導入されてn型に設定されているが、高濃度領域48bの方が低濃度領域48aよりも不純物濃度が相対的に高くなっている。これら低濃度領域48aと高濃度領域48bまたは低濃度領域49aと高濃度領域49bとは、同一のマスクにて形成することができる。例えばn M I S Q nの場合、メモリセルおよび周辺回路領域のゲート電極9を形成後、n M I S Q n領域に開口部を有し、p M I S Q pおよびメモリセル選択用M I S・F E T Q sを覆うマスクを形成し、前記マスクの開口部を通してn M I S Q nのソース・ドレイン用の半導体領域48に低濃度領域48aおよび高濃度領域48b形成のための不純物の導入を行う。この際に低濃度領域48aへの不純物の導入は、高濃度領域48bへの不純物の導入よりも大きな電界強度で、打ち込み不純物量を少なく設定することで、低濃度領域48aと高濃度領域48bとの打ち分けをすることができ、所望の不純物濃度分布を得ることができる。また、p M I S Q pの場合でも同様に同一のマスクにて、不純物の打ち込みの電界強度と打ち込み量の制御とにより低濃度領域49aと高濃度領域49bとを打ち分けて形成することができる。

【0129】

本実施の形態4においては、低濃度領域48a, 49aがメモリセル選択用M I S・F E T Q sのそれぞれ低濃度領域15aよりも深い位置まで分布して形成され、高濃度領域48b, 49bが、メモリセル選択用M I S・F E T Q sの高濃度領域15bよりも深い位置まで分布して形成されている。これにより、周辺回路を構成するn M I S Q nおよびp M I S Q pの駆動能力を向上させることが可能となっている。ただし、低濃度領域48aと高濃度領域48bとの境界および低濃度領域49aと高濃度領域49bとの境界はゲート電極9の上面よりも浅い位置になっている。また、低濃度領域48aとpウエル3Pとの境界および低

濃度領域49aとnウェル3Nとの境界はゲート電極9の途中深さの位置になっている。なお、高濃度領域48b、49bとプラグ25との接触界面には、例えばチタンシリサイド等からなる導体膜50が形成されており、プラグ25と高濃度領域48b、49bとの接触抵抗を低減することが可能となっている。

【0130】

このような本実施の形態4によれば、前記実施の形態1～3で得られた効果の他に、以下の効果を得ることが可能となる。

【0131】

(1).メモリセル選択用MIS・FETQsのゲート電極9と、周辺回路のnMISQnおよびpMISQpのゲート電極9とを埋め込み型としたことにより、それらの素子の高さ（ゲート電極9の高さ）を揃えることができるので、メモリセル選択用MIS・FETQsと周辺回路（特に直接的な周辺回路、例えばセンスアンプ回路）のnMISQnおよびpMISQpとの配線接続上の容易性を向上させることができるとなる。

【0132】

(2).半導体基板1の正面の平坦性を向上させることができるので、半導体基板1上に形成される配線の信頼性を向上させることができるとなる。

【0133】

(3).上記(2)により、配線層の多層化を実現することができる。

【0134】

(4).周辺回路のMISFETにおけるソース・ドレイン用の高濃度領域、低濃度領域およびゲート電極の端部が半導体基板の厚さ方向に沿って縦に並ぶ構造なので、不純物の打ち込み電界強度および打ち込み量の制御により、同一マスクにて低濃度領域と高濃度領域とを形成することができる。

【0135】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1～4に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0136】

例えば前記実施の形態1～4においては、メモリセル選択用MIS・FETのソース・ドレイン用の半導体領域として高濃度領域と低濃度領域とを設けた場合について説明したが、これに限定されるものではなく、例えば低濃度領域のみを設ける構造としても良い。

【0137】

また、前記実施の形態1～4においては、メモリセル選択用MIS・FETおよび周辺回路のMISFETのゲート絶縁膜を熱酸化膜とCVD膜との積層膜とした場合について説明したが、これに限定されるものではなく、例えばCVD法により形成した窒化シリコン等からなる絶縁膜の単体膜でゲート絶縁膜を形成しても良い。

【0138】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、それに限定されるものではなく、例えばDRAM (Dynamic Random Access Memory) と論理回路とを同一半導体基板に有する半導体集積回路装置にも適用できる。

【0139】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0140】

(1). 本発明によれば、ゲート電極を半導体基板中に埋め込む構造とすることにより、実効的なチャネル長を長くすることができるので、半導体基板の不純物濃度を低減することができる。このため、ソース・ドレインにおける接合電界強度を低減することが可能となる。

【0141】

(2). 本発明によれば、ゲート電極を半導体基板中に埋め込む構造とすることにより、ビット線および下部電極が接続されるプラグとワード線（ゲート電極）との容量を低減できるので、信号の伝達速度を向上させることができるとなる。

【0142】

(3).本発明によれば、メモリセル選択用トランジスタにおいてオフ時のソース・ドレイン領域における接合電界強度を低減することが可能となる。

【0143】

(4).本発明によれば、ゲート電極の上面を、バンドギャップの歪みの影響を無視できる程度（例えば40nm以上）まで基板表面から下げるにより、電位差に起因した電界を低減することができ、全体的に、メモリセル選択用トランジスタのソース・ドレイン領域の接合電界強度を低減することが可能となる。

【0144】

(5).本発明によれば、メモリセル選択用トランジスタのソース・ドレイン領域における接合電界強度を低減することができるので、その分、リフレッシュ時間を長くすることができる。したがって、リフレッシュ動作の際の充放電サイクルを長くできるので、その分、DRAMを有する半導体集積回路装置の消費電力を低減することが可能となる。

【0145】

(6).本発明によれば、配線形成用の溝の底部に丸み（例えば曲率半径が10nm以上）を形成したことにより、サブスレッショルド係数を小さくすることができるので、オン／オフ電流比を大きくとることが可能となる。

【0146】

(7).上記(6)により、メモリセル選択用トランジスタの駆動能力を向上させることが可能となる。

【0147】

(8).上記(6)により、メモリセル選択用トランジスタの動作速度を向上させることが可能となる。

【0148】

(9).上記(6)により、サブスレッショルド係数を小さくすることができるので、オフ時のリーク電流を増大させることもなく、消費電力の増大も抑えることが可能となる。

【0149】

(10).本発明によれば、埋め込みゲート電極構造の電界効果トランジスタにお

けるゲート絶縁膜の少なくとも一部をデポジション法で形成することにより、配線形成用の溝内でのゲート絶縁膜の被覆性を向上させることができるので、ゲート絶縁膜の耐圧を向上させることが可能となる。

【0150】

(11).上記(10)により、メモリセル選択用電界効果トランジスタの性能を向上させることが可能となる。

【0151】

(12).上記(10)により、メモリセル選択用電界効果トランジスタの歩留まりおよび信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図2】

図1のメモリセル領域の要部平面図である。

【図3】

図1および図2に続く半導体集積回路装置の製造工程中の要部断面図である。

【図4】

図3に続く半導体集積回路装置の製造工程中の要部断面図である。

【図5】

図4に続く半導体集積回路装置の製造工程中の要部断面図である。

【図6】

半導体基板に配線形成用の溝を形成する際の不具合を模式的に説明した説明図である。

【図7】

半導体基板に配線形成用の溝を形成する際の不具合を模式的に説明するものであって、図6に続く形成工程の説明図である。

【図8】

図5に続く半導体集積回路装置の製造工程における要部断面図である。

【図9】

図8に続く半導体集積回路装置の製造工程中における要部断面図である。

【図10】

ゲート絶縁膜を熱酸化法のみで形成した場合を模式的に示した説明図である。

【図11】

(a)は、ゲート絶縁膜を熱酸化法とCVD法との積層膜で形成した場合を模式的に示した説明図、(b)は(a)の領域Eの拡大断面図である。

【図12】

図9に続く半導体集積回路装置の製造工程中における要部断面図である。

【図13】

図12に続く半導体集積回路装置の製造工程中における要部断面図である。

【図14】

図13に続く半導体集積回路装置の製造工程中における要部断面図である。

【図15】

図14に続く半導体集積回路装置の製造工程中における要部断面図である。

【図16】

図15に続く半導体集積回路装置の製造工程中における要部断面図である。

【図17】

図16に続く半導体集積回路装置の製造工程中における要部断面図である。

【図18】

図17に続く半導体集積回路装置の製造工程中における要部断面図である。

【図19】

図18に続く半導体集積回路装置の製造工程中における要部断面図である。

【図20】

図19のメモリセル領域の要部平面図である。

【図21】

図19および図20に続く半導体集積回路装置の製造工程中における要部断面図である。

【図22】

図21の半導体集積回路装置の製造工程中における断面構造の一部を模式的に示す説明図である。

【図23】

図21に続く半導体集積回路装置の製造工程中における要部断面図である。

【図24】

図23に続く半導体集積回路装置の製造工程中における要部断面図である。

【図25】

図24に続く半導体集積回路装置の製造工程中における要部断面図である。

【図26】

図25におけるメモリセル領域の要部平面図である。

【図27】

図25のメモリセル領域の要部拡大断面図である。

【図28】

図25～図27に続く半導体集積回路装置の製造工程中の要部断面図である。

【図29】

図25に続く半導体集積回路装置の製造工程中におけるメモリセル領域の要部平面図である。

【図30】

図25に続く半導体集積回路装置の製造工程中におけるメモリセル領域の要部平面図である。

【図31】

本発明の一実施の形態である半導体集積回路装置の埋め込みゲート電極部の構造を模式的に示す説明図である。

【図32】

本発明の一実施の形態である半導体集積回路装置の埋め込みゲート電極部の構造を模式的に示す説明図である

【図33】

(a), (b) は通常のゲート電極構造の電界効果トランジスタにおけるゲート電極の電位による空乏層空間電荷への影響を説明する説明図である。

【図34】

電界効果トランジスタの電流特性とサブスレッシュルド係数との関係を示すグラフ図である。

【図35】

本発明者らの実験によって得られた溝内の底部角の曲率半径とサブスレッシュルド係数との関係を示したグラフ図である。

【図36】

本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図37】

図36に続く半導体集積回路装置の製造工程中の要部断面図である。

【図38】

図37に続く半導体集積回路装置の製造工程中の要部断面図である。

【図39】

図38に続く半導体集積回路装置の製造工程中の要部断面図である。

【図40】

図39に続く半導体集積回路装置の製造工程中の要部断面図である。

【図41】

図40に続く半導体集積回路装置の製造工程中の要部断面図である。

【図42】

本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図43】

図42に続く半導体集積回路装置の製造工程中の要部断面図である。

【図44】

図43に続く半導体集積回路装置の製造工程中の要部断面図である。

【図45】

図44に続く半導体集積回路装置の製造工程中の要部断面図である。

【図46】

図45に続く半導体集積回路装置の製造工程中の要部断面図である。

【図47】

本発明の他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【図48】

本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 分離部
- 2 a 分離溝
- 2 b 絶縁膜
- 3 P p ウエル（第1の半導体領域）
- 3 N n ウエル
- 4 絶縁膜
- 5 絶縁膜
- 6 a フォトレジスト膜
- 7 溝（配線形成用の溝）
- 7 a 溝（第2の溝、配線形成用の溝）
- 7 b 溝（第3の溝、配線形成用の溝）
- 8 ゲート絶縁膜
- 8 a ゲート絶縁膜
- 8 b ゲート絶縁膜
- 9 ゲート電極
- 9 a ゲート電極形成膜（第1の膜）
- 10 絶縁膜（第2の膜）
- 11 導体膜
- 12 絶縁膜
- 12 a キャップ絶縁膜

1 3 ゲート絶縁膜

1 4 絶縁膜

1 5 a 低濃度領域（第2の半導体領域）

1 6 ゲート電極

1 6 a ゲート電極形成膜

1 7 a 低濃度領域

1 7 b 高濃度領域

1 8 a 低濃度領域

1 8 b 高濃度領域

1 9 サイドウォール

2 0 絶縁膜

2 1 コンタクトホール

2 2 プラグ

2 3 絶縁膜

2 4 a スルーホール

2 4 b コンタクトホール

2 5 プラグ

2 6 第1層配線

2 7 a, 2 7 b 絶縁膜

2 8 絶縁膜

2 9 スルーホール

3 0 絶縁膜

3 1 キャパシタ孔

3 2 スルーホール

3 3 a 下部電極

3 3 b 容量絶縁膜

3 3 c 上部電極

3 4 絶縁膜

3 5 プラグ

3 6 第2層配線

3 7 絶縁膜

3 8 プラグ

3 9 第3層配線

4 0 空乏層

4 1 サイドウォール

4 2 絶縁膜

4 2 a キャップ絶縁膜

4 3 p-型の半導体領域

4 4 絶縁膜

4 5 コンタクトホール

4 6 半導体領域

4 7 プラグ

4 8 a 低濃度領域

4 8 b 高濃度領域

4 9 a 低濃度領域

4 9 b 高濃度領域

5 0 導体膜

W L ワード線

B L ビット線

C 情報蓄積用の容量素子

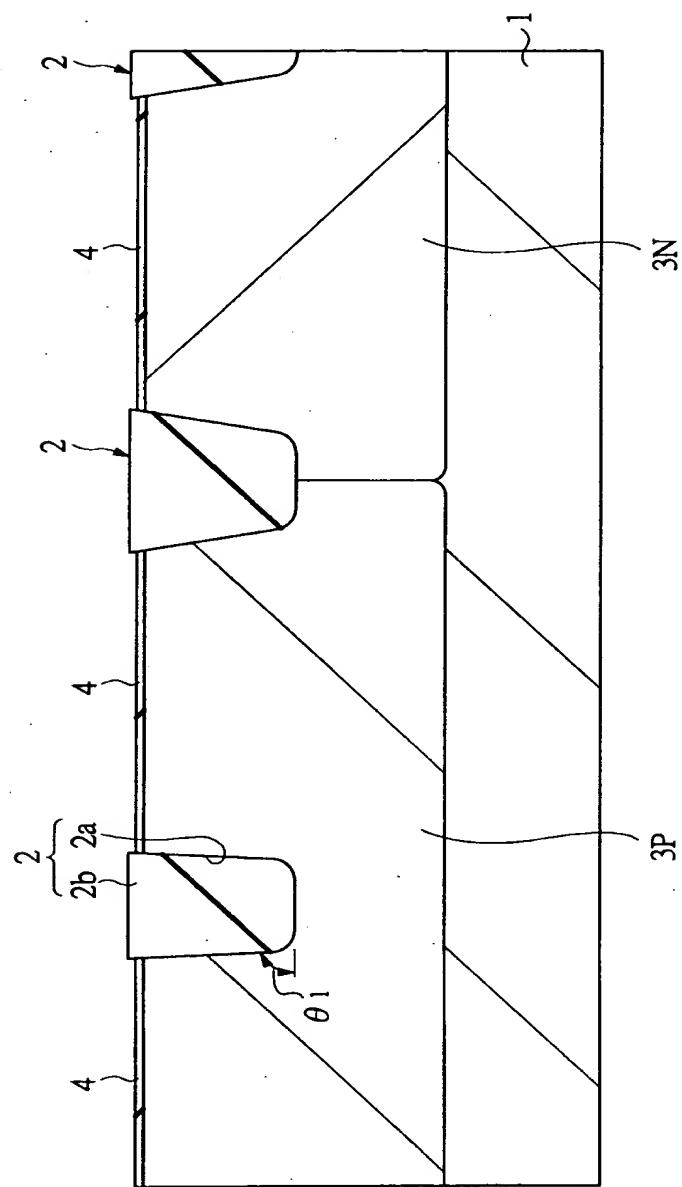
Q_p pチャネル型のMIS・FET

Q_n nチャネル型のMIS・FET

【書類名】 図面

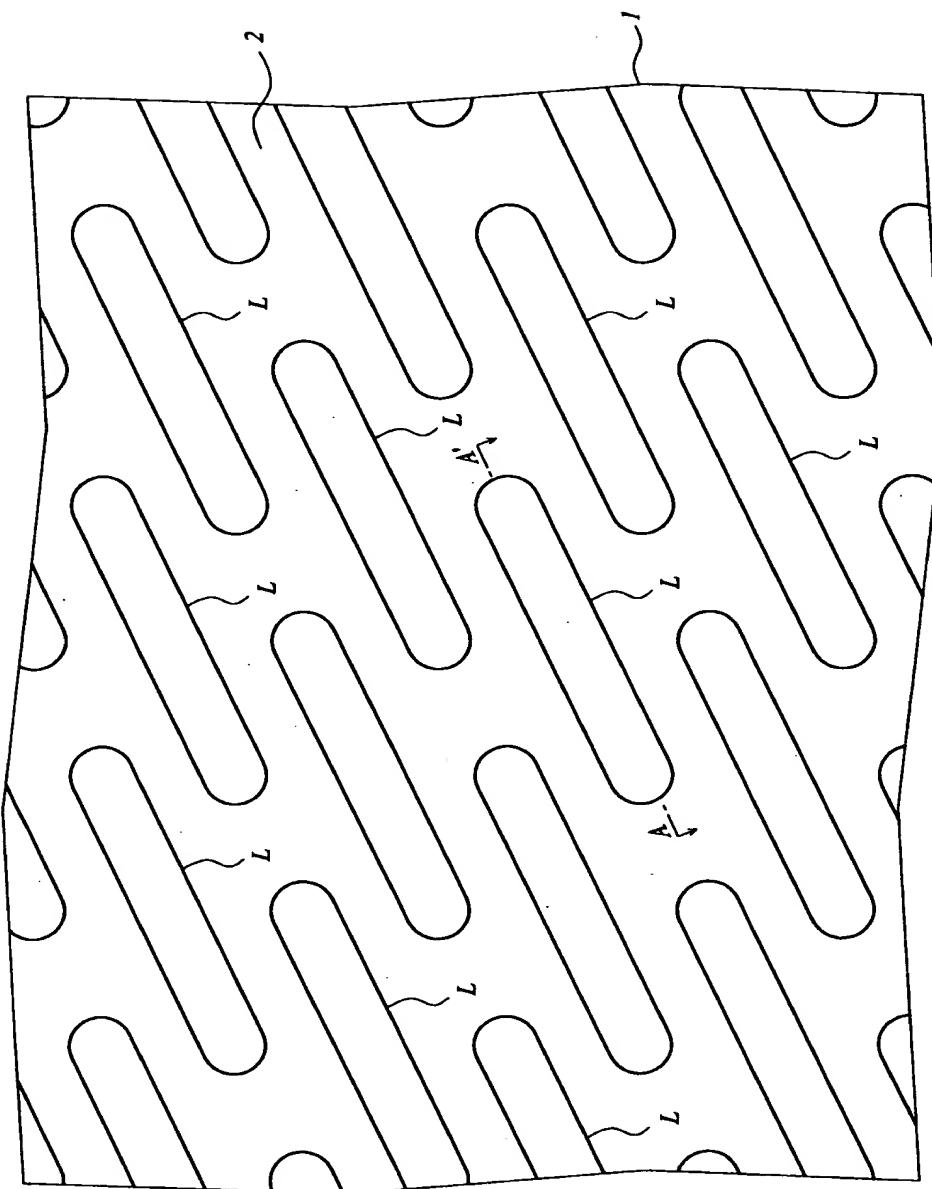
【図1】

図 1



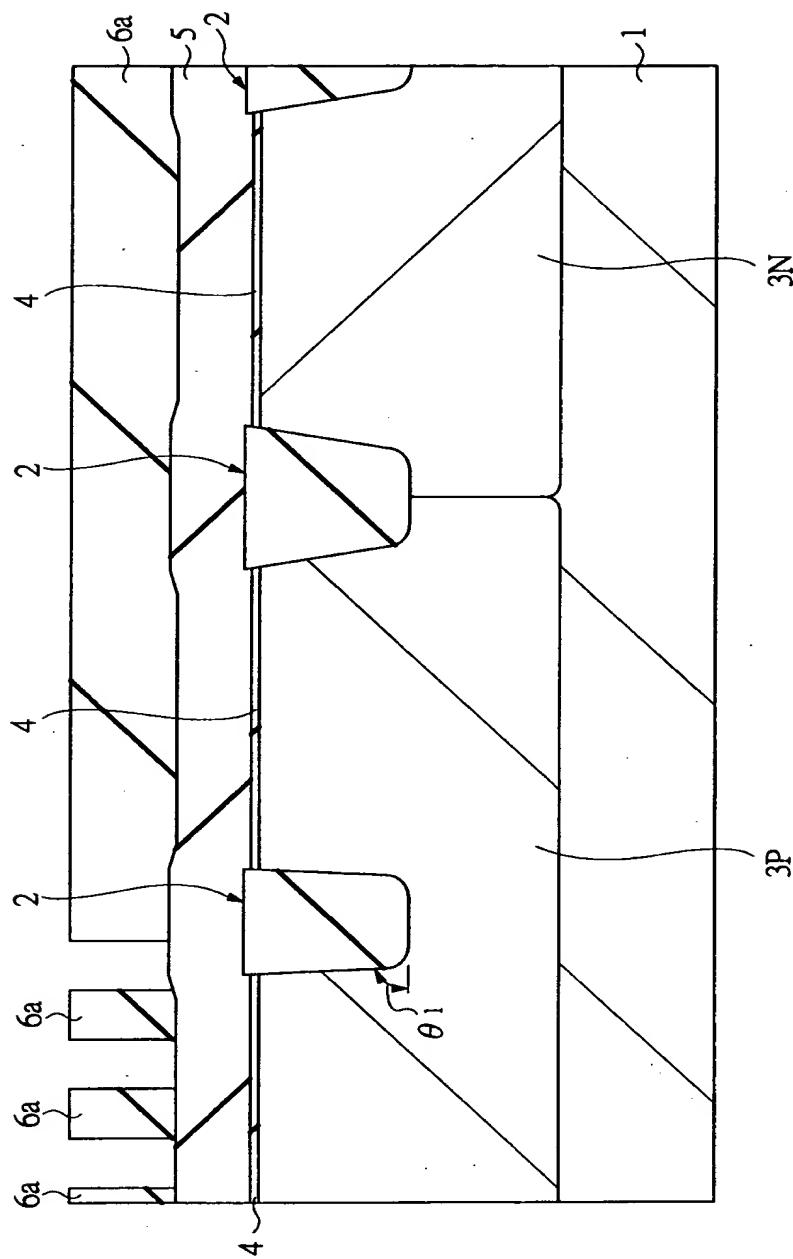
【図2】

図2



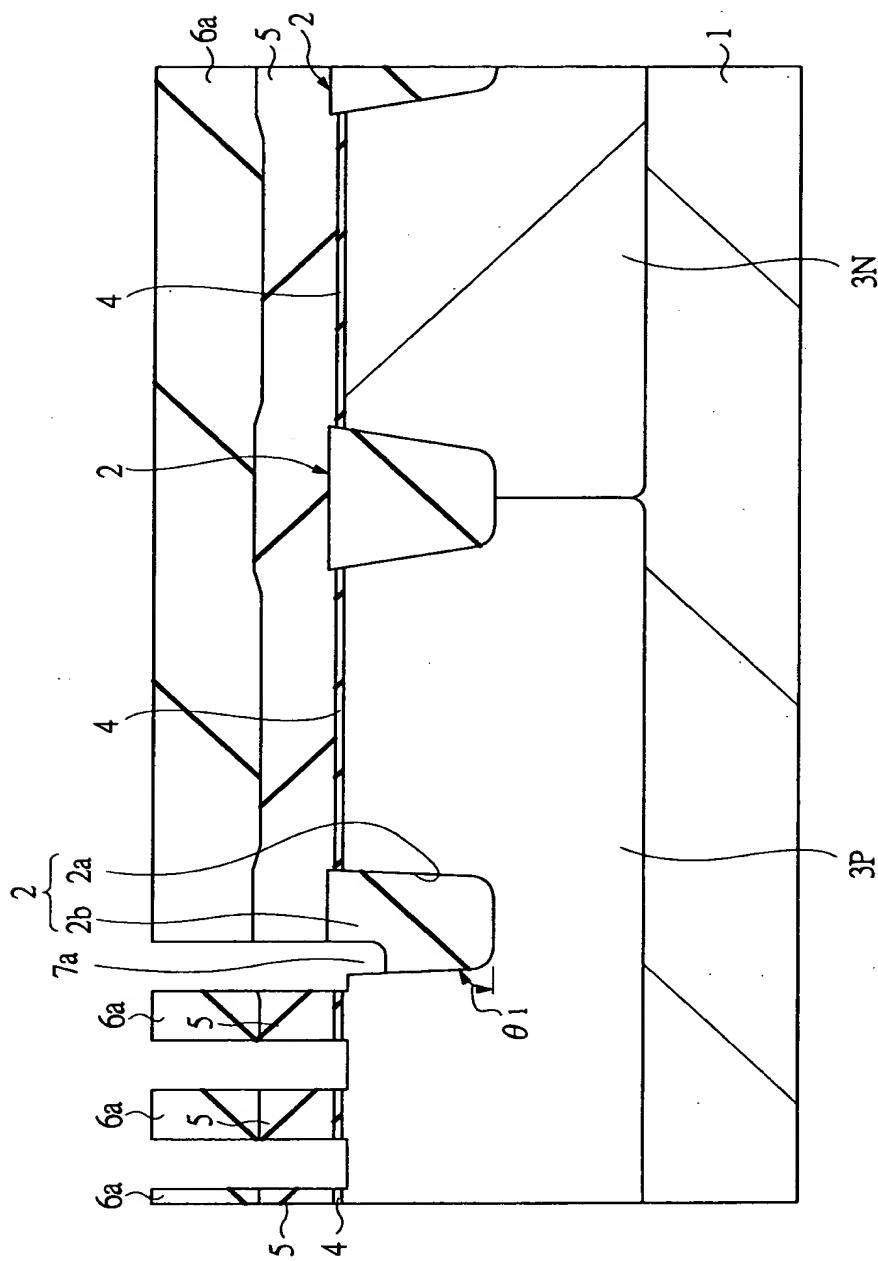
【図3】

図 3



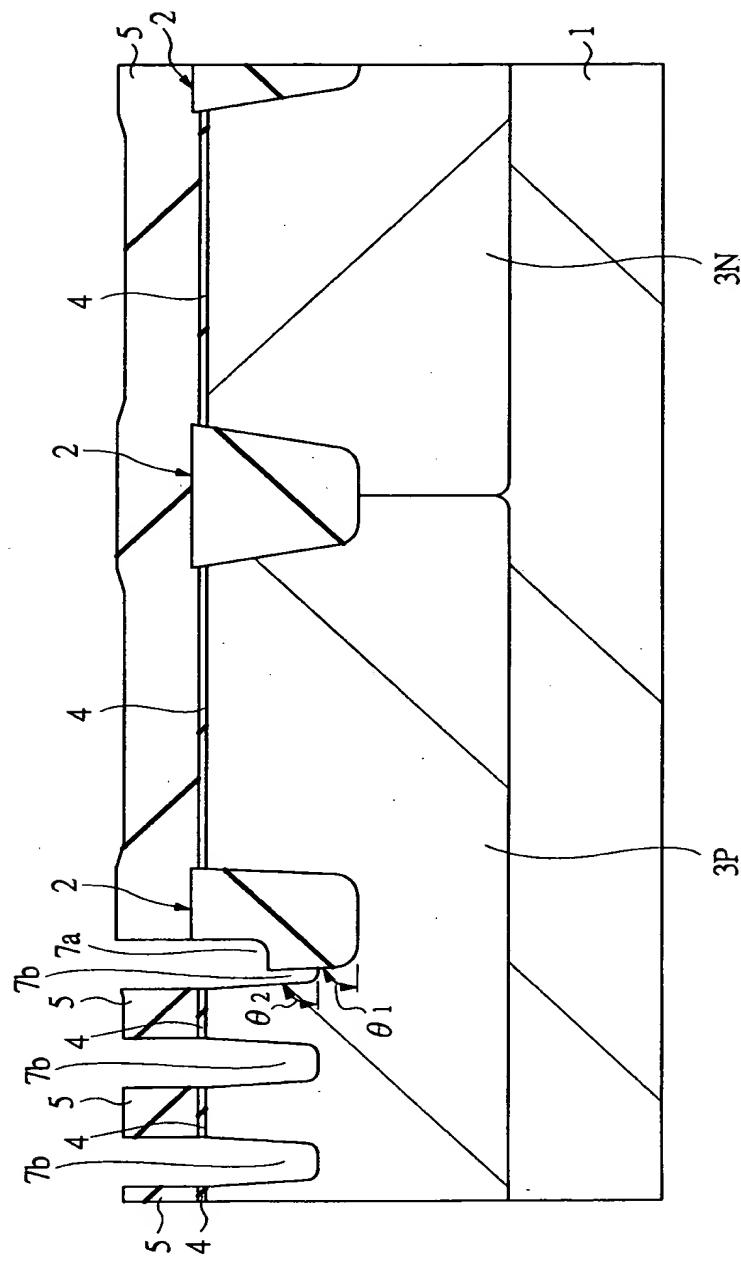
【図4】

図4



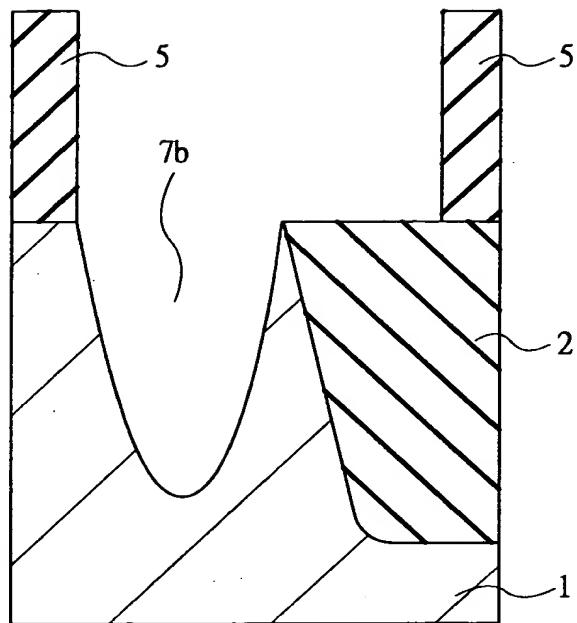
【図5】

図 5



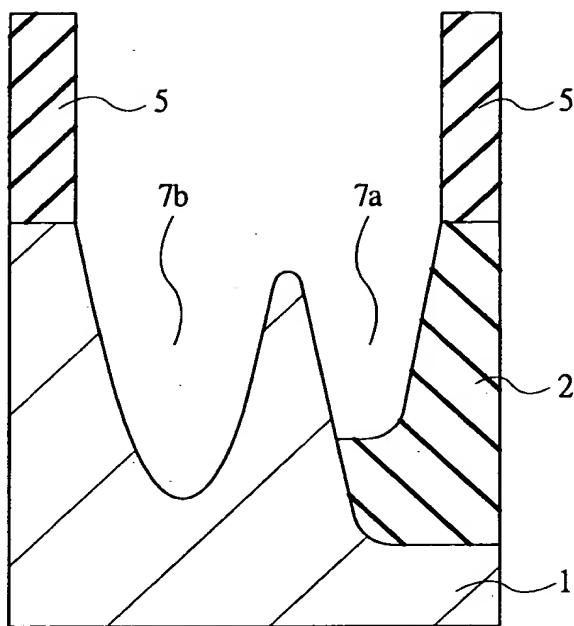
【図6】

図 6



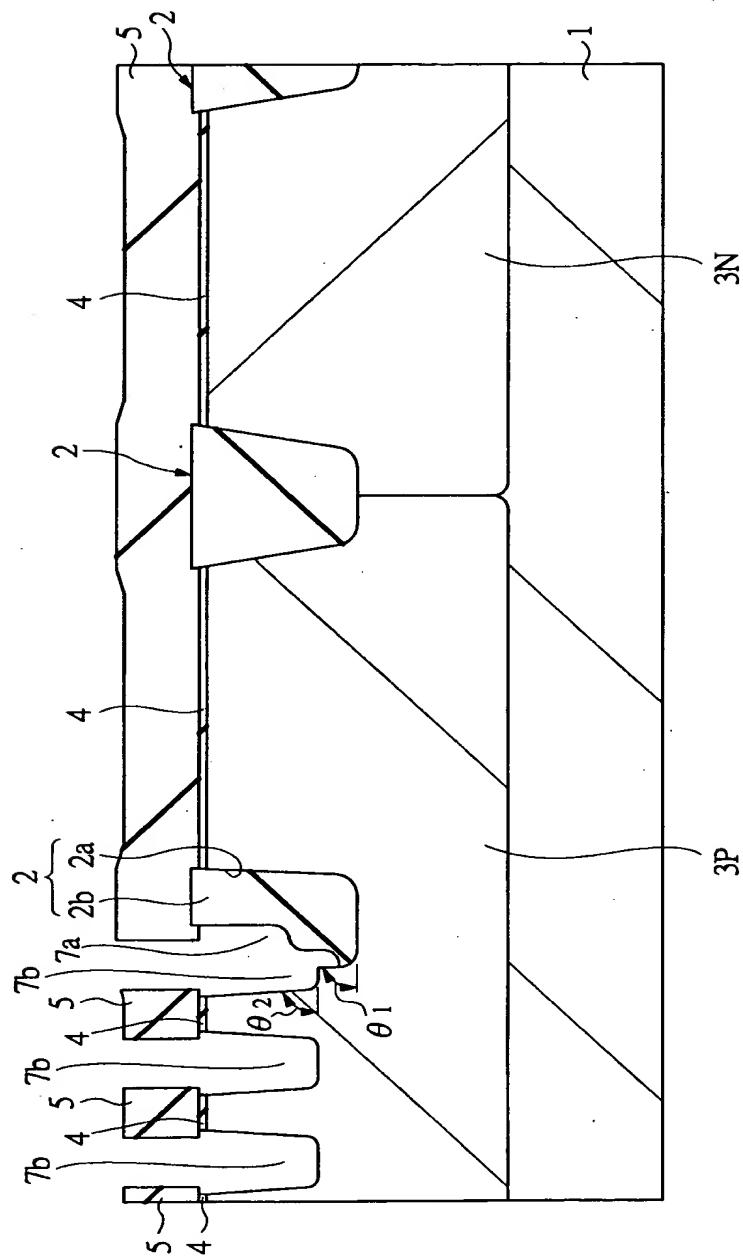
【図7】

図 7



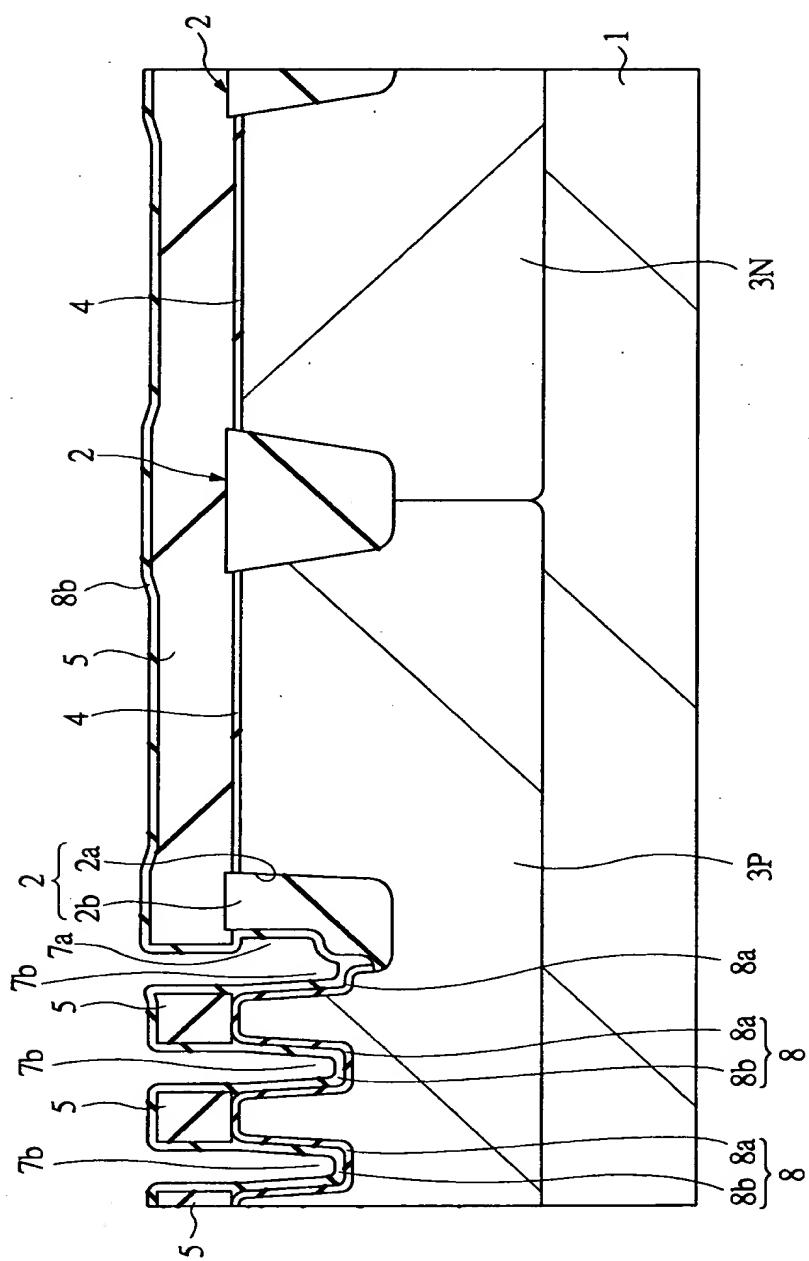
【図8】

図 8



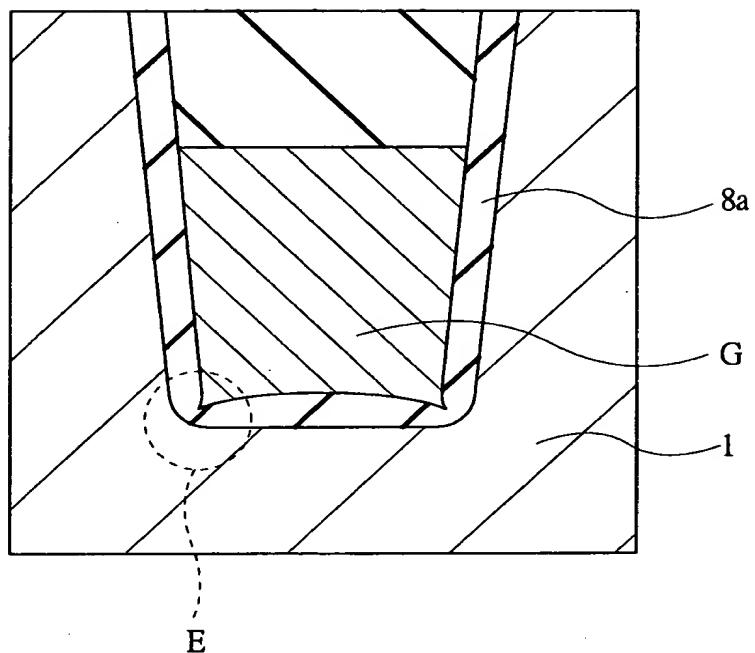
【図9】

図 9



【図10】

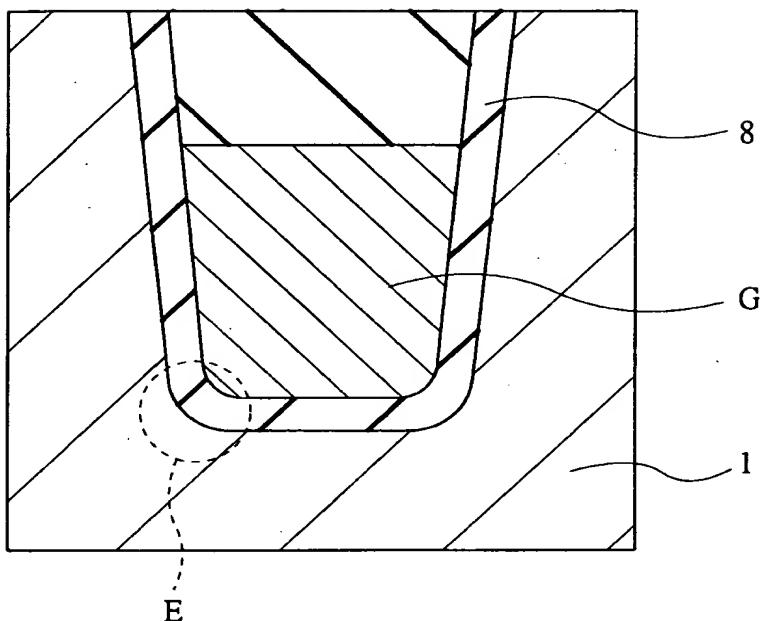
図 10



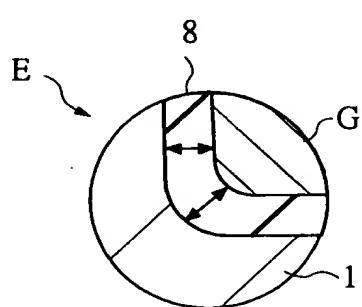
【図11】

図 11

(a)

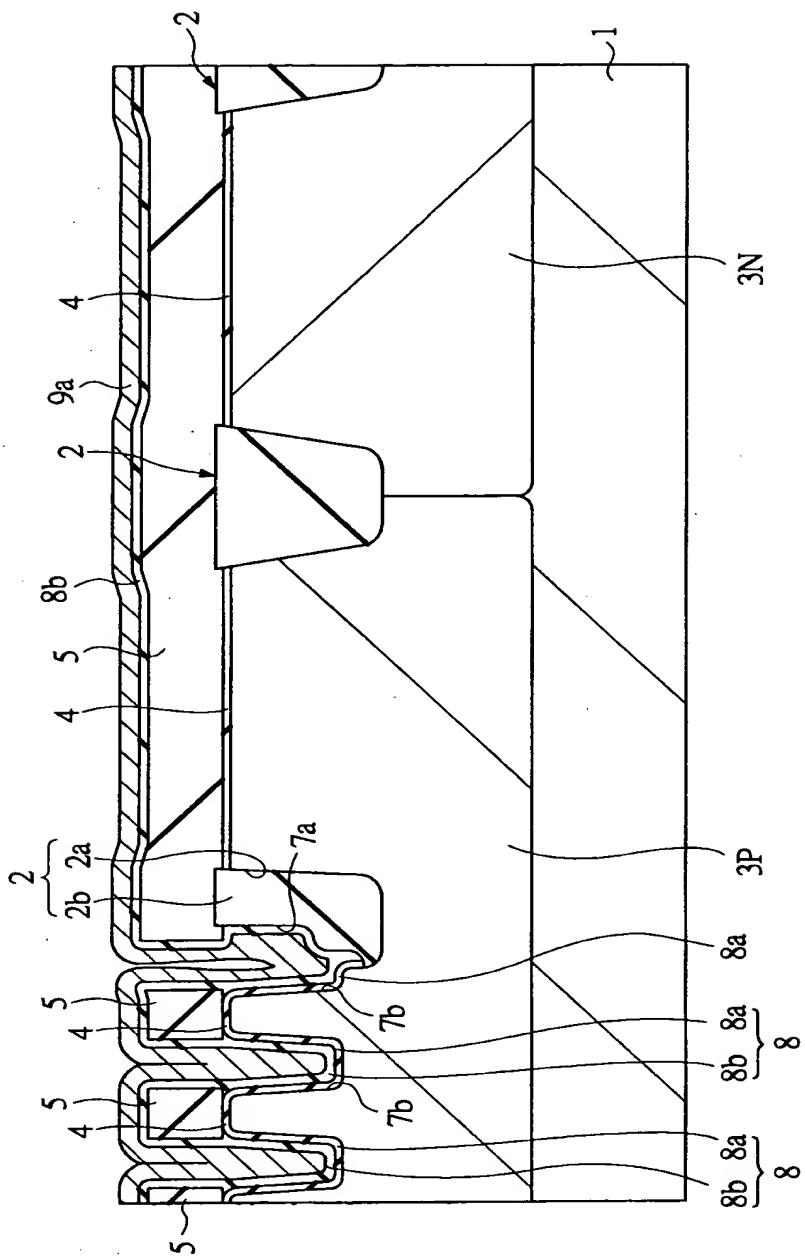


(b)



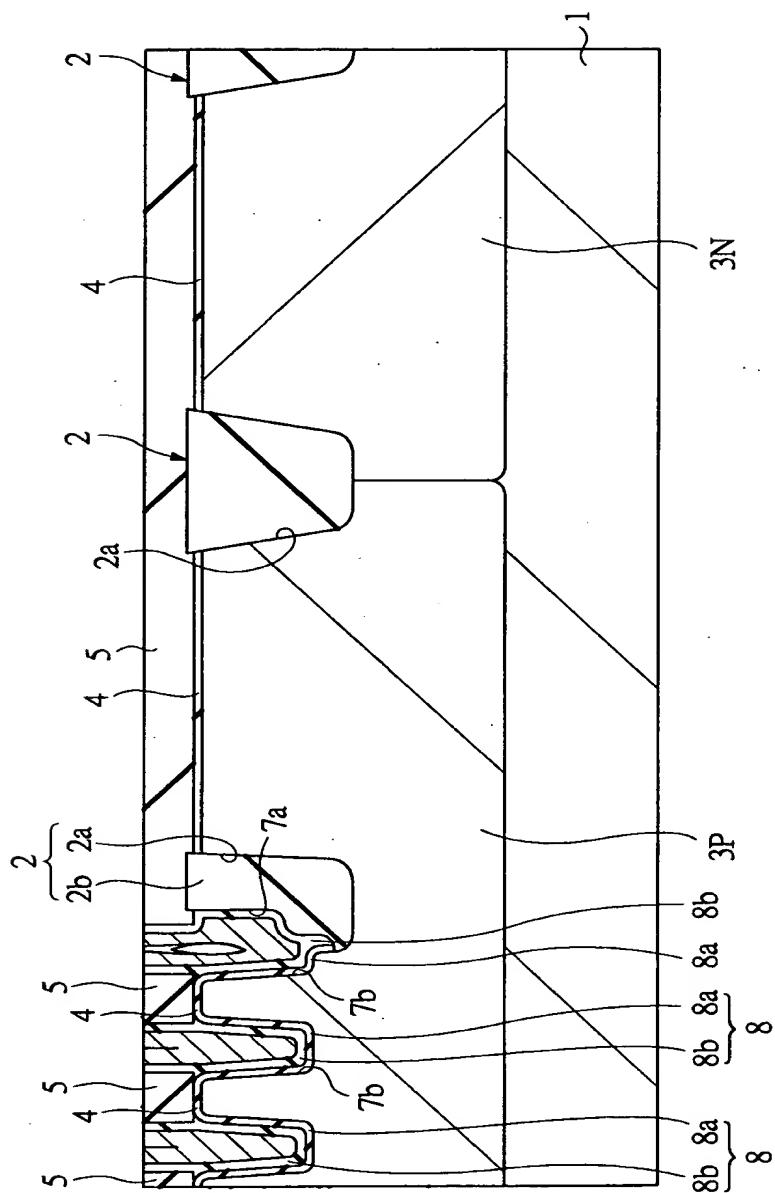
【図12】

12



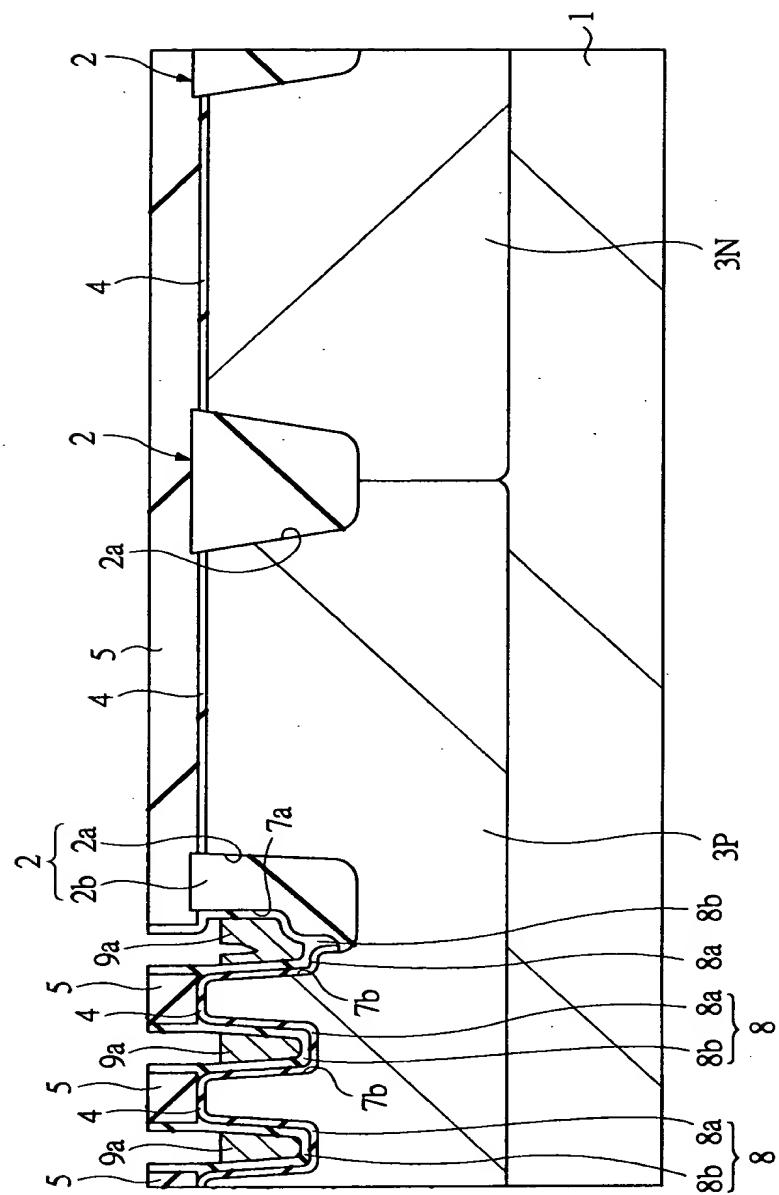
【図13】

図 13

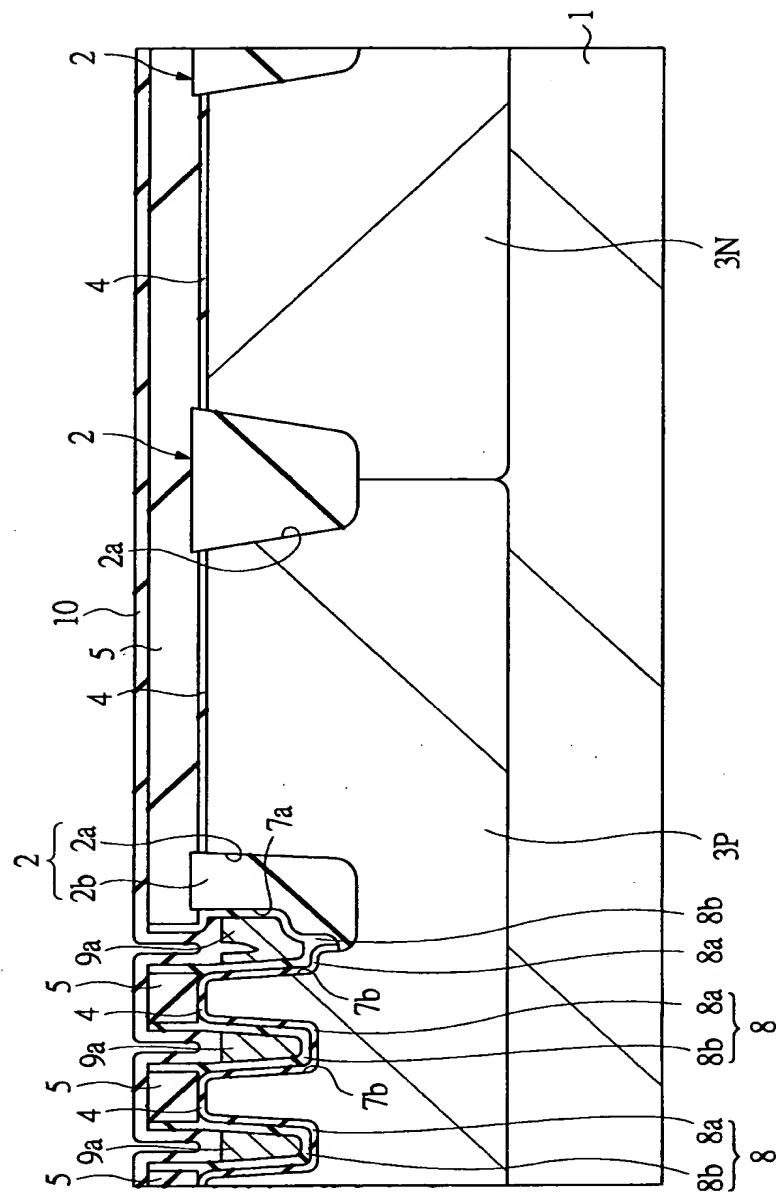


【図14】

図 14

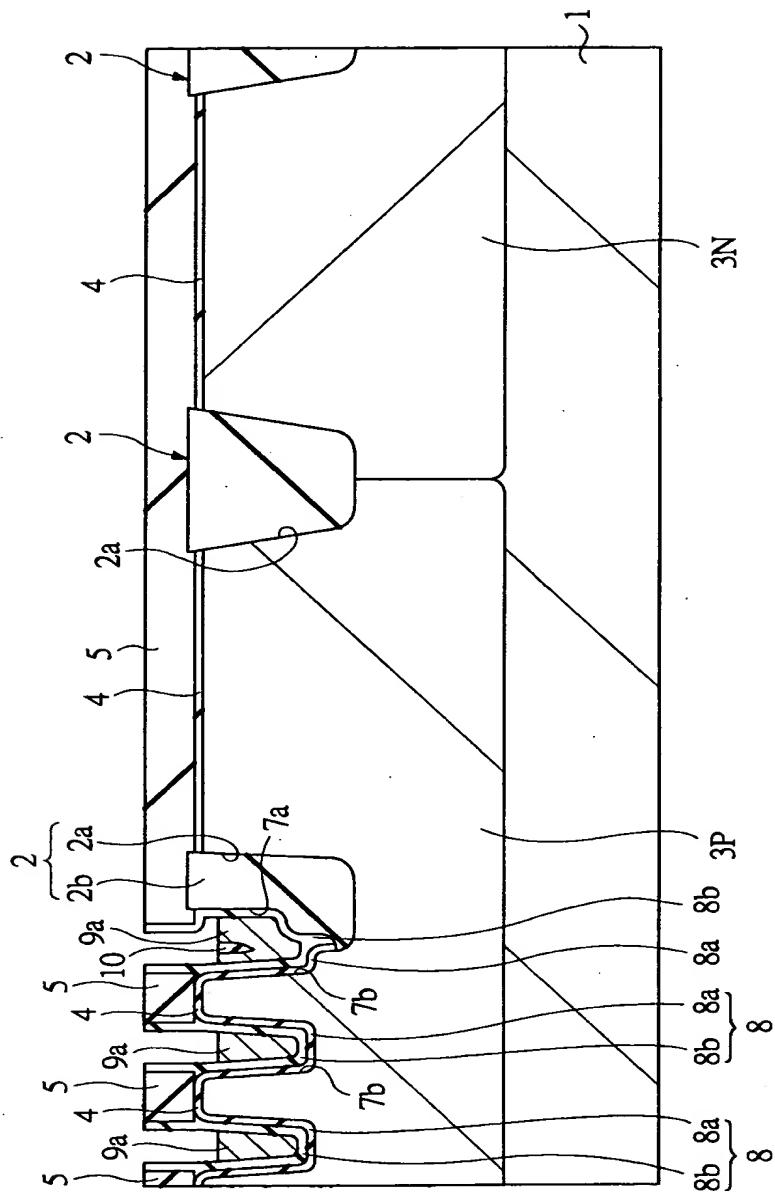


【図15】

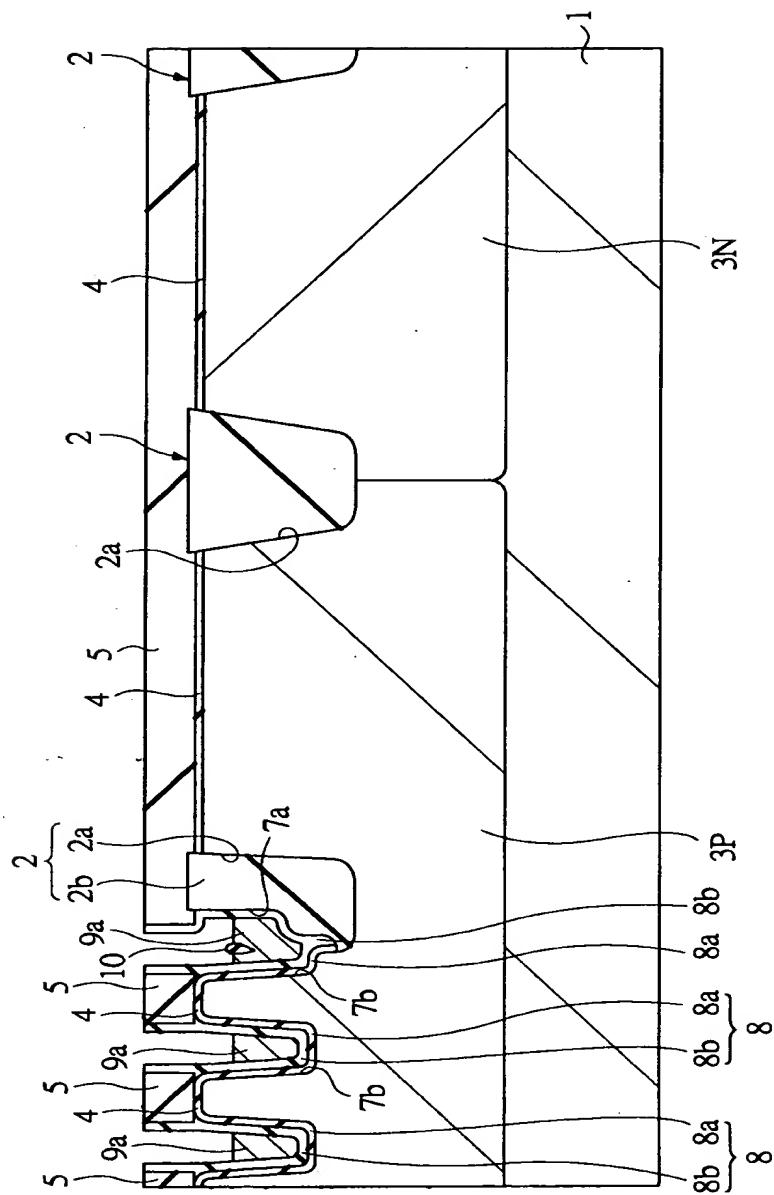


【図16】

図 16

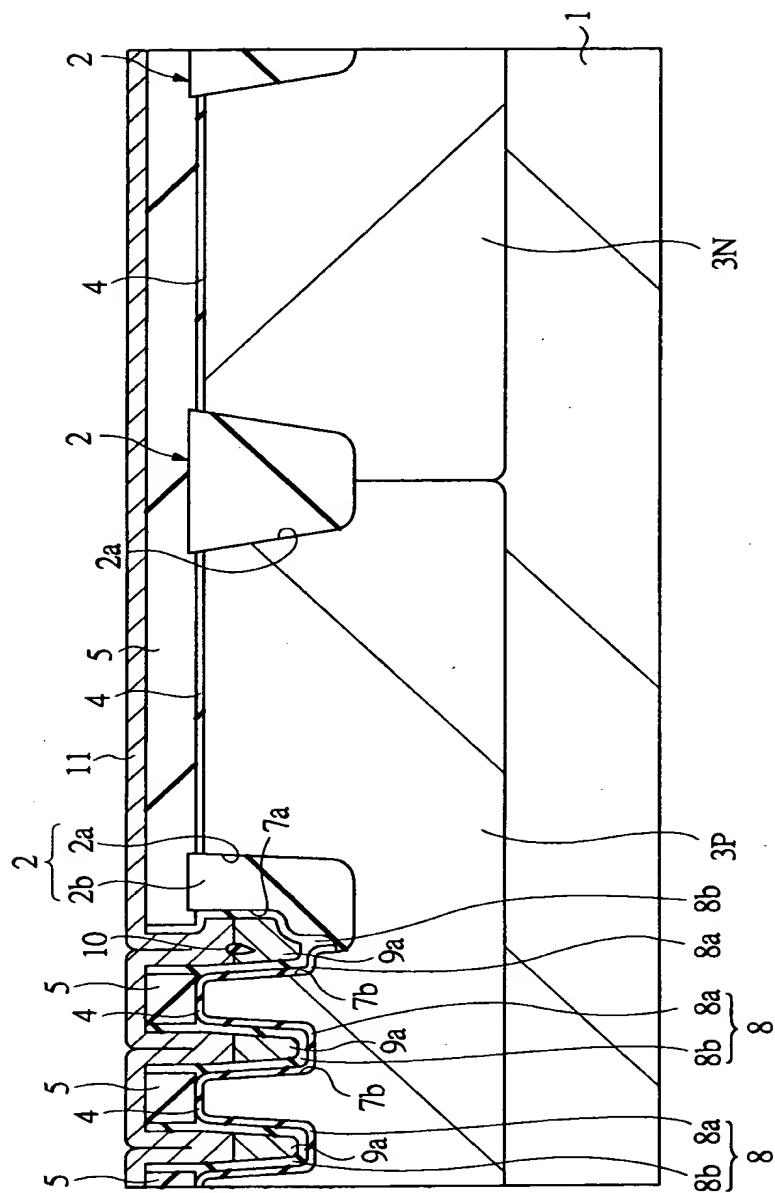


【図17】

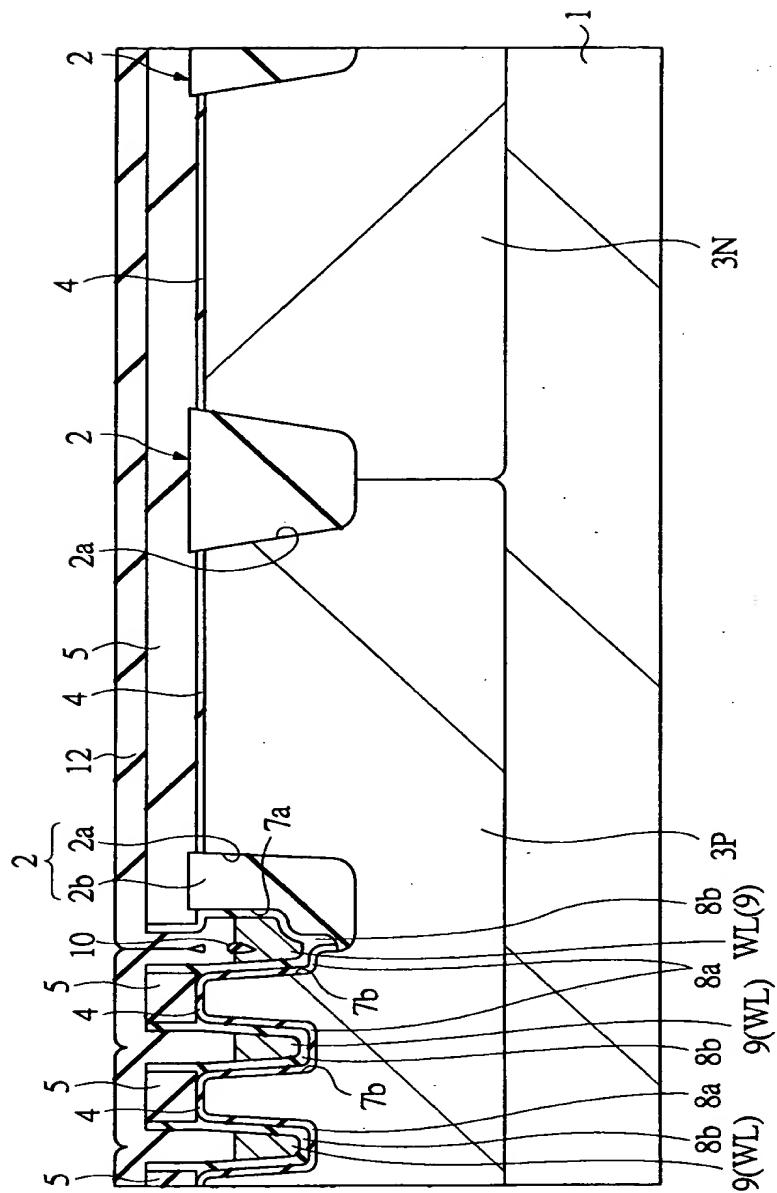
図
17

【図18】

図 18

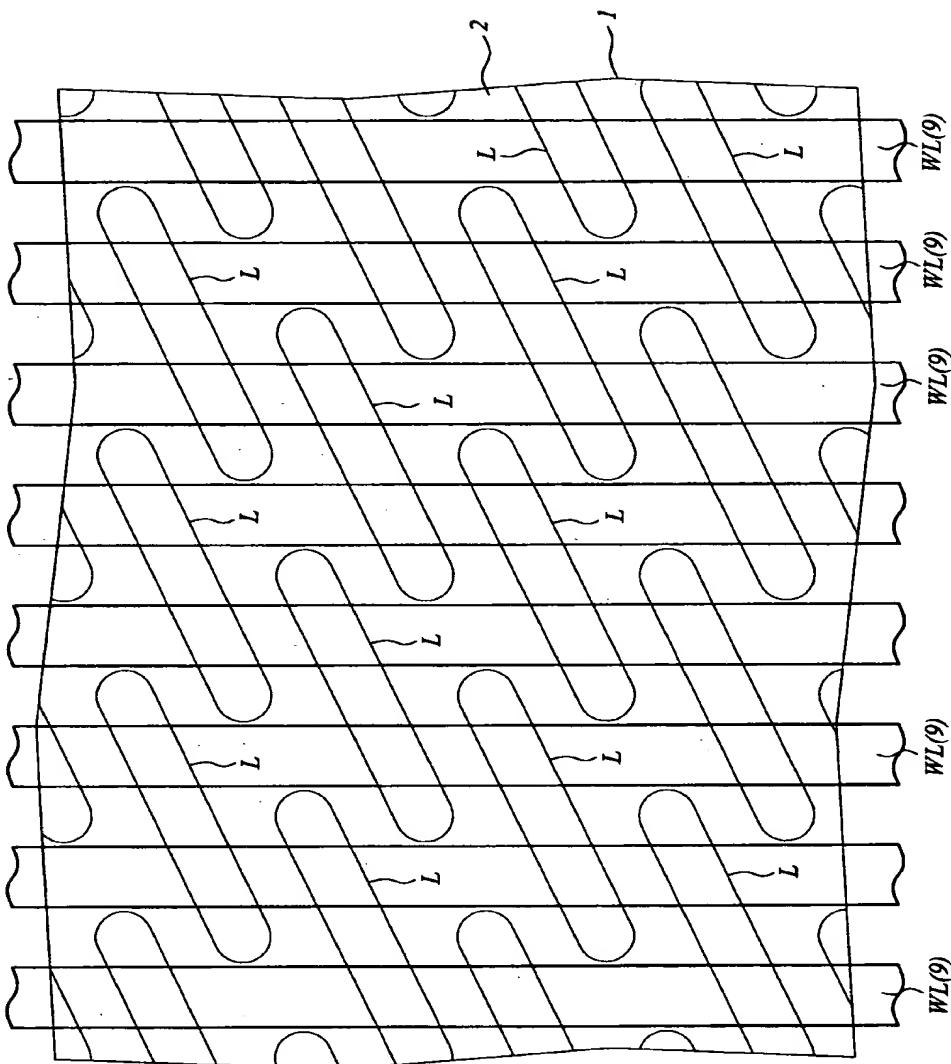


【図19】

図
19

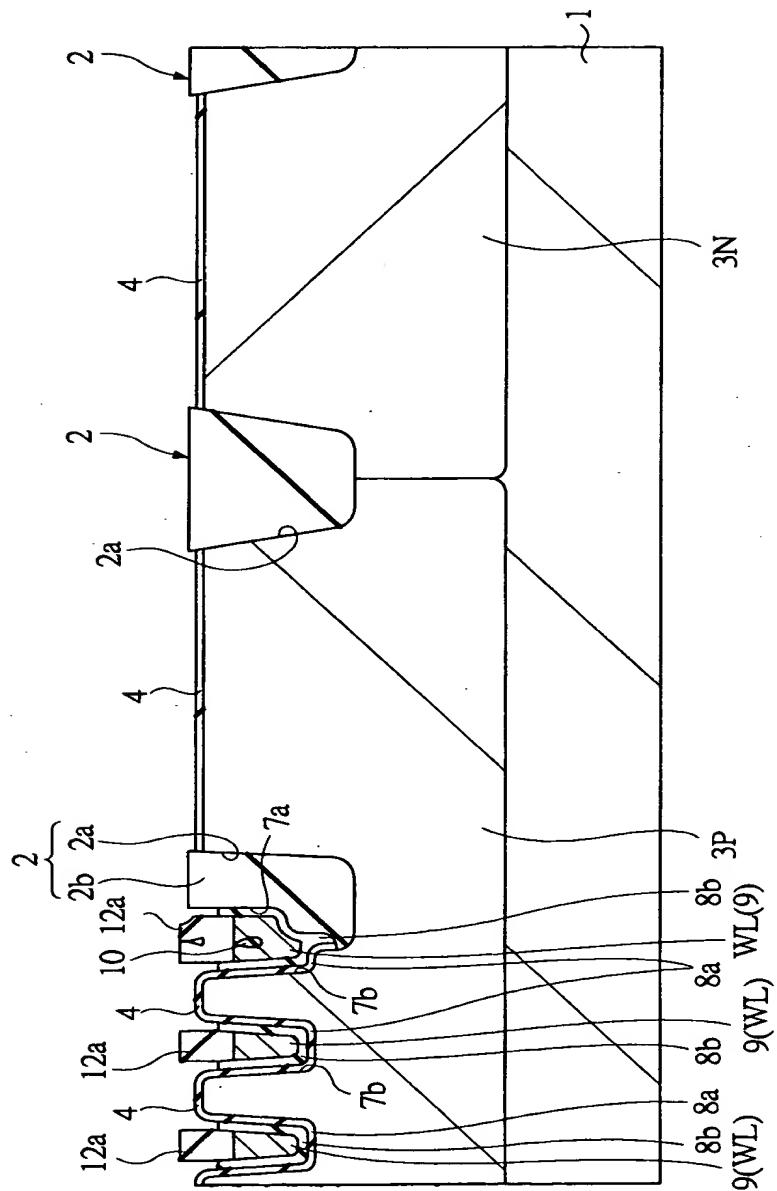
【図20】

図 20



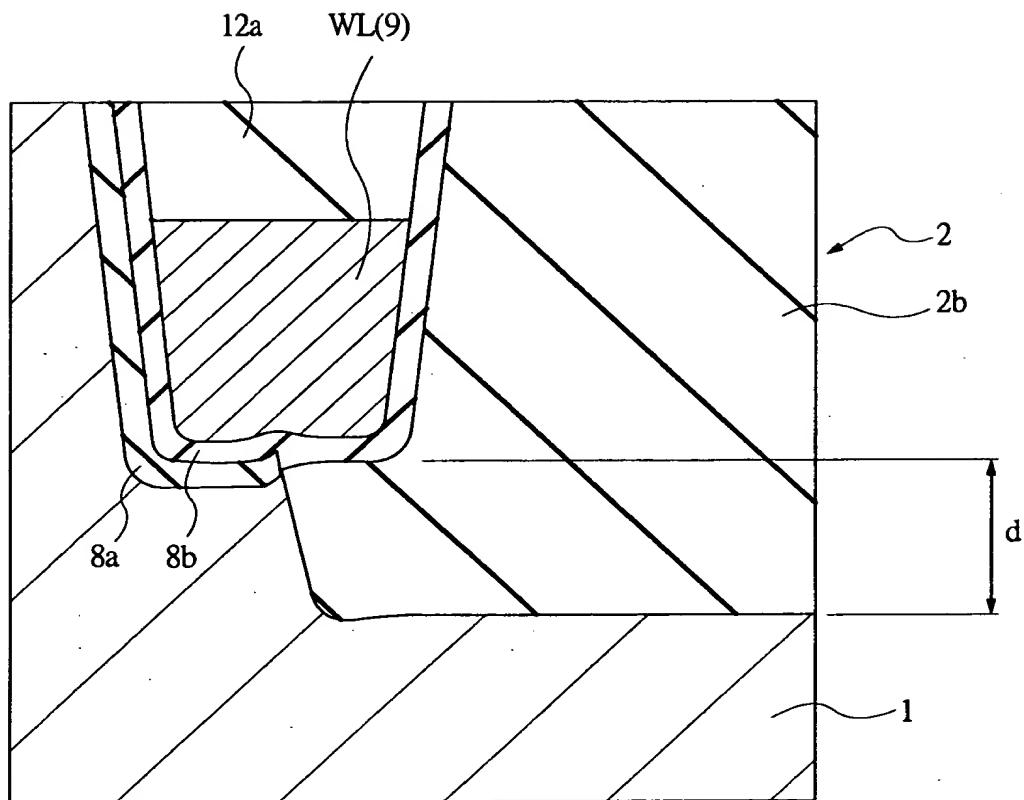
【図21】

図 21



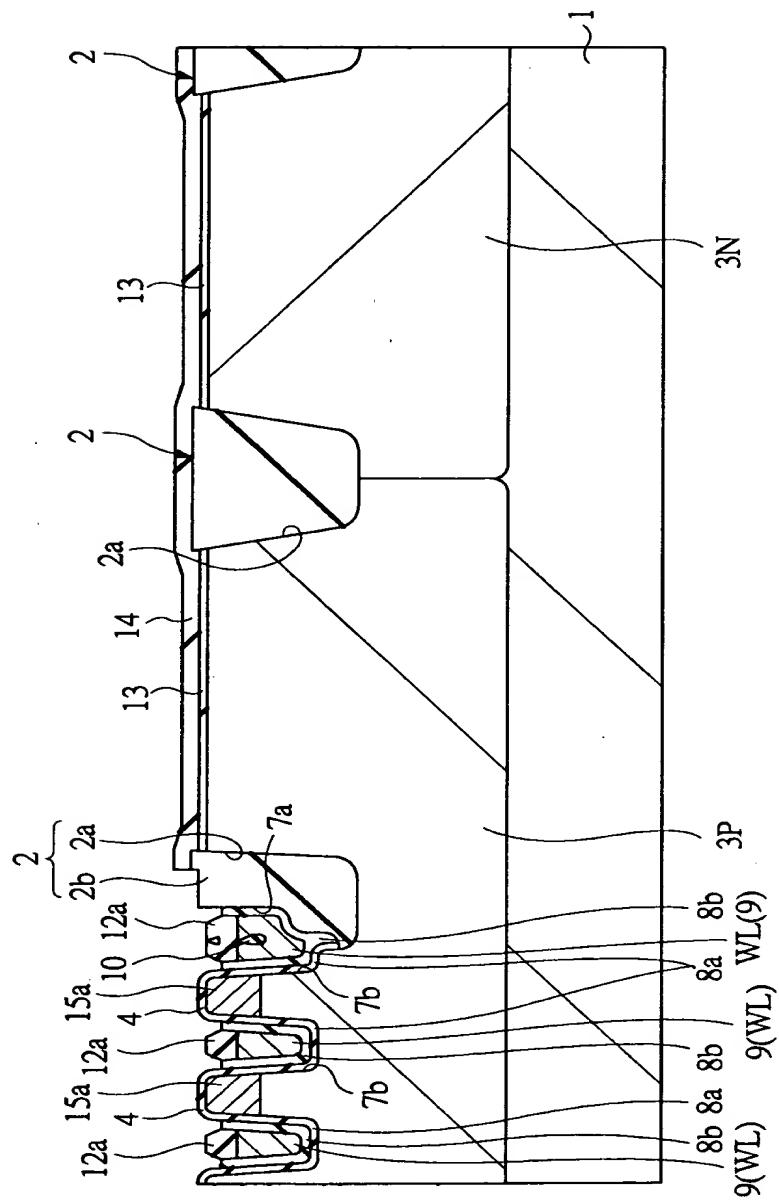
【図22】

図 22



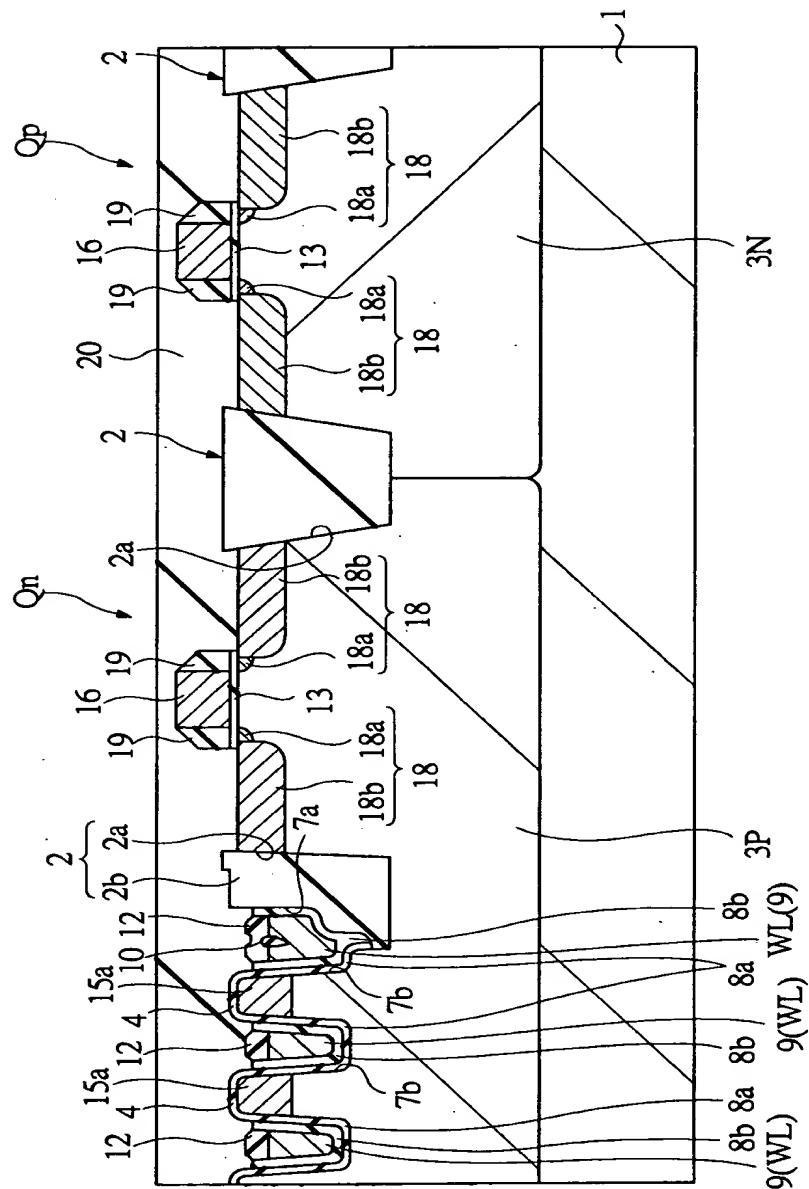
【図23】

図 23



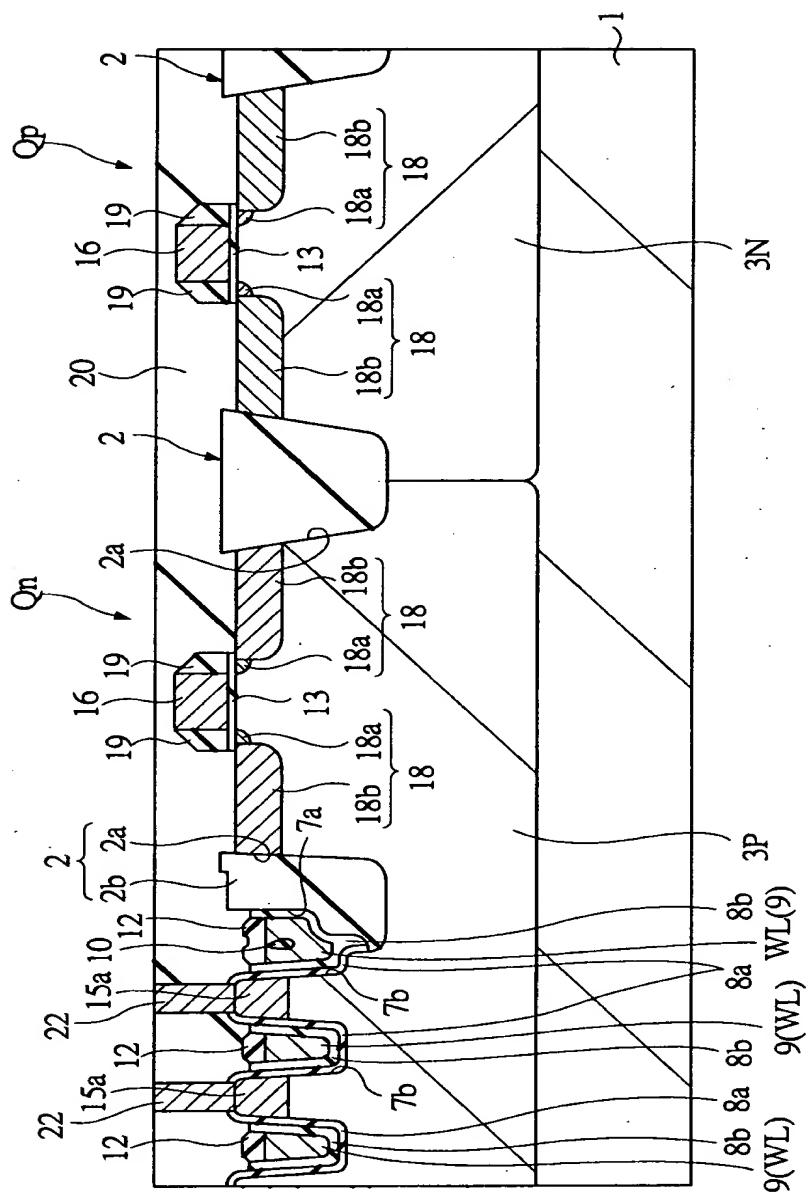
【図24】

図 24



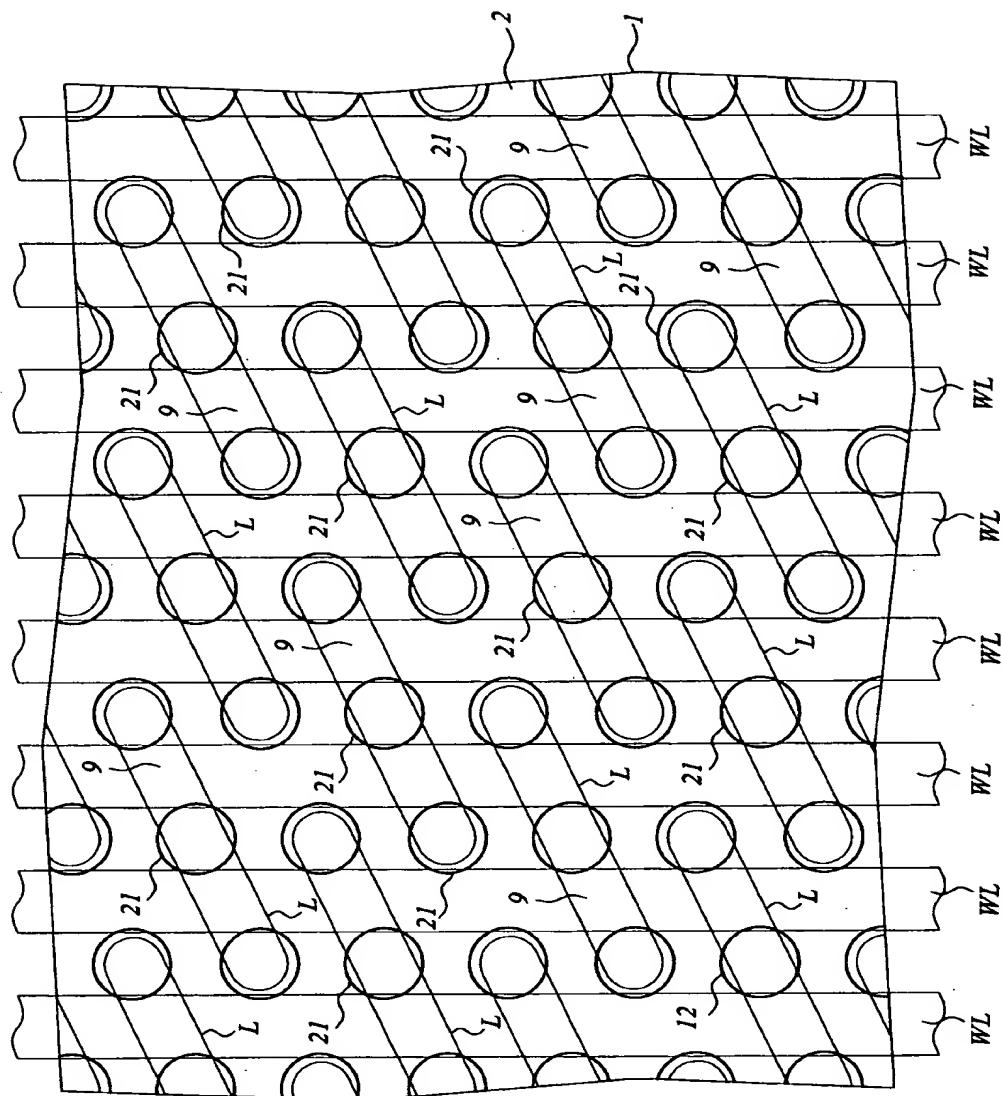
【図25】

図 25



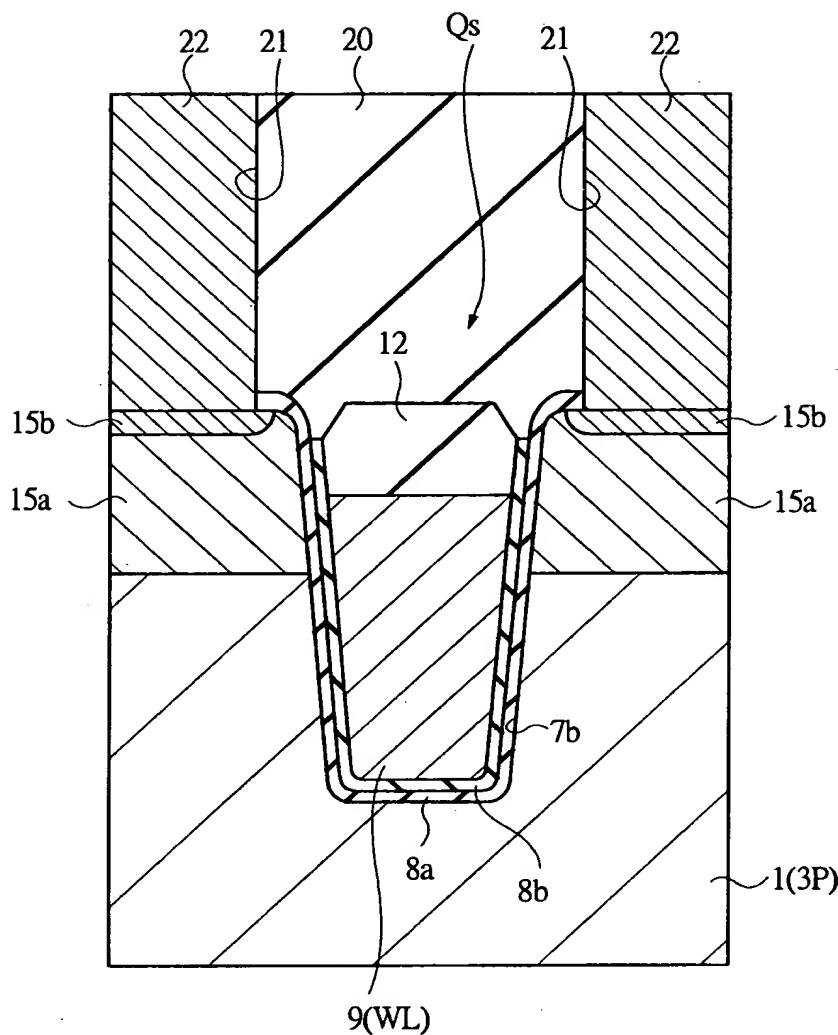
【図26】

図 26

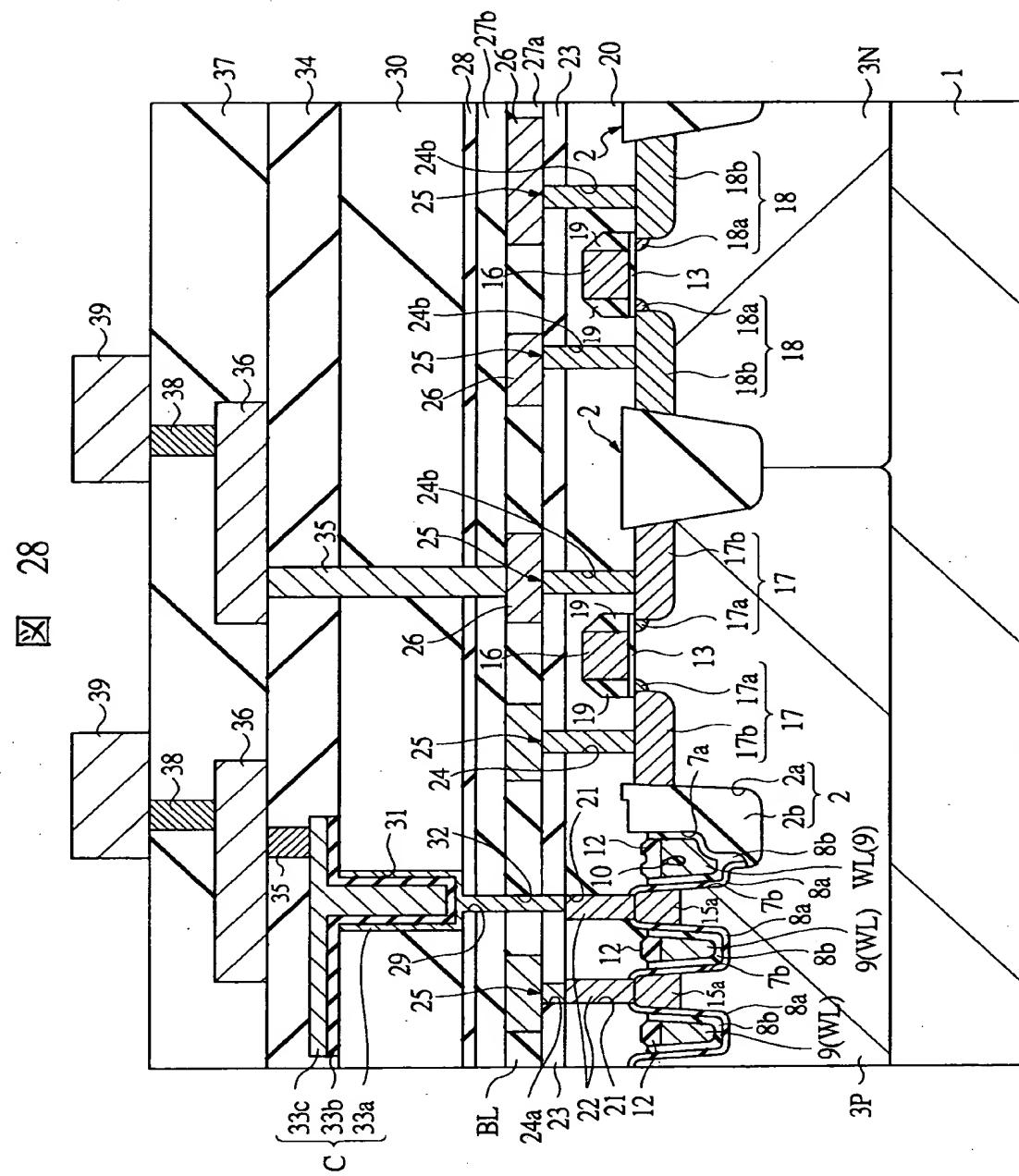


【図27】

図 27

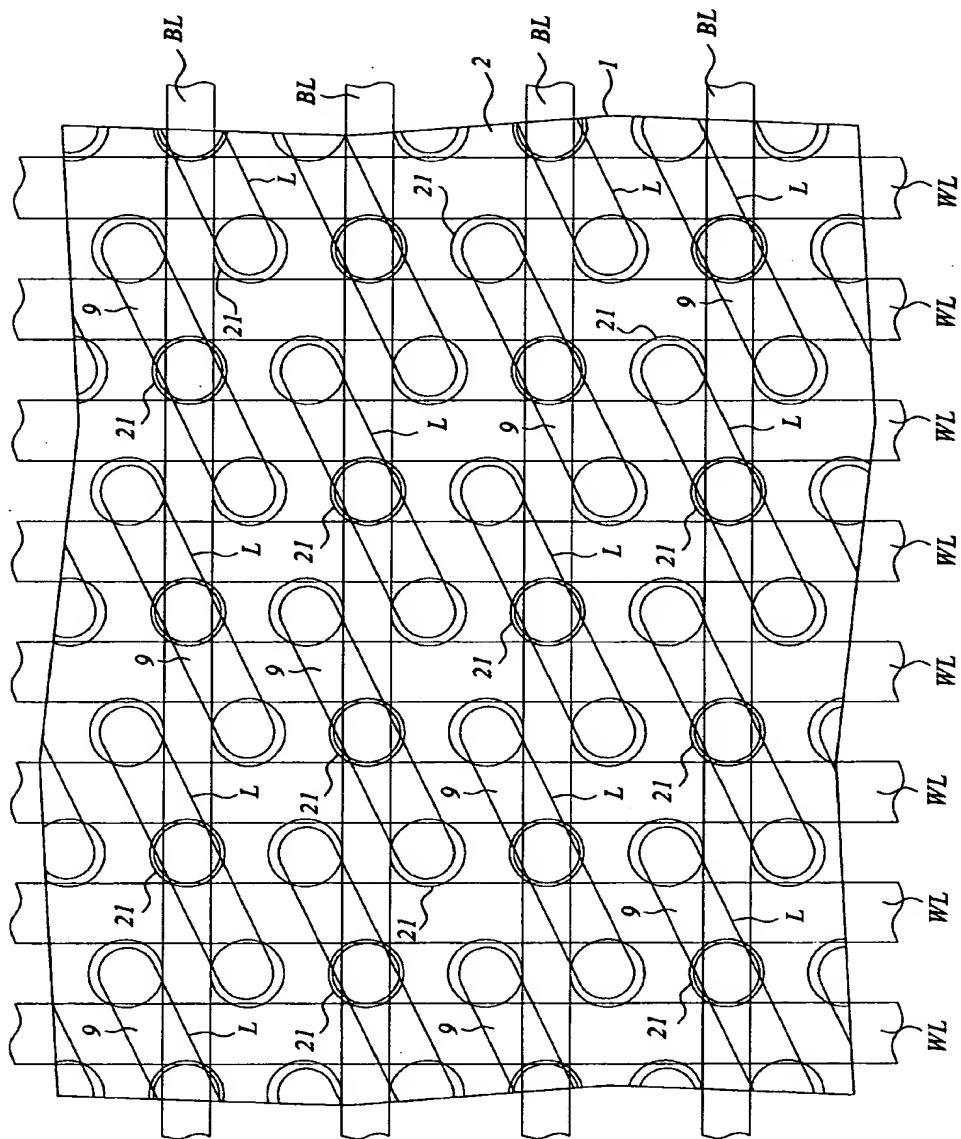


【図28】



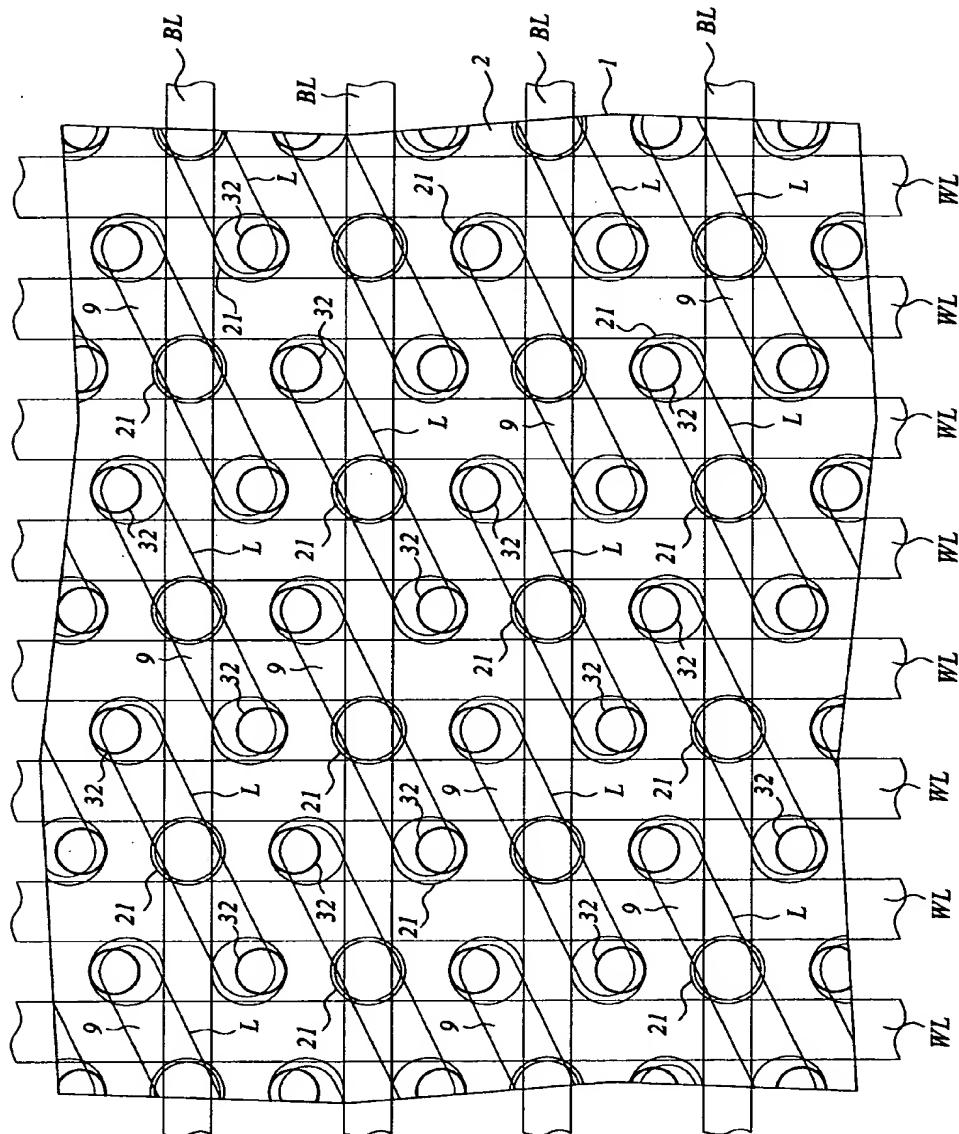
【図29】

図29



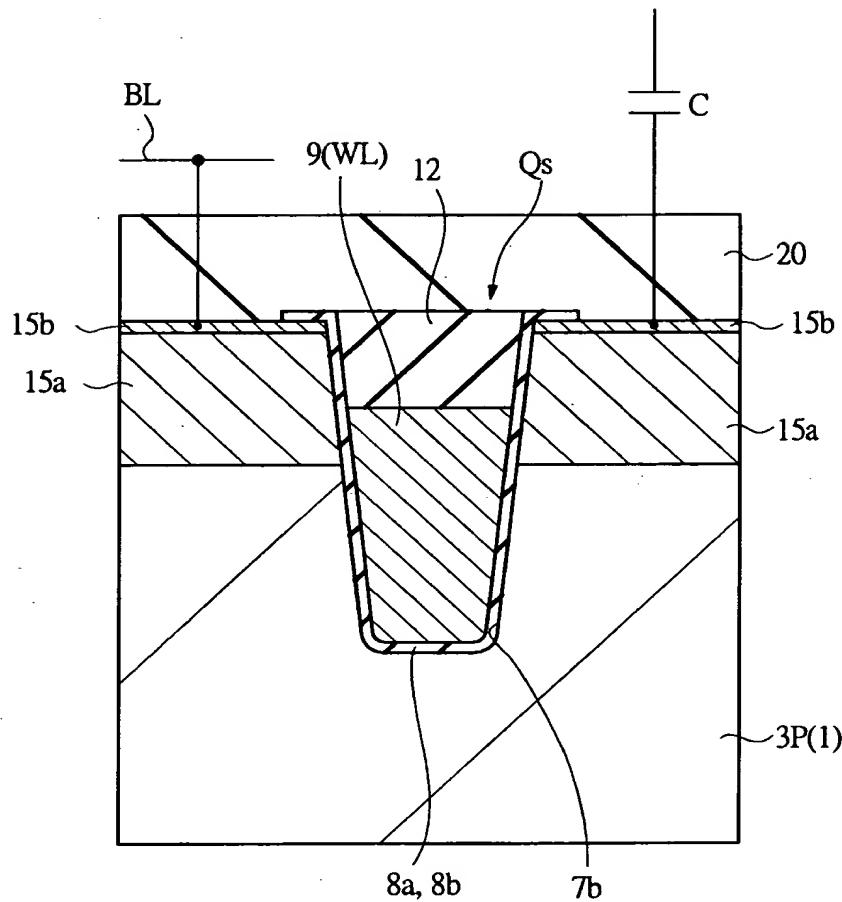
【図30】

図 30



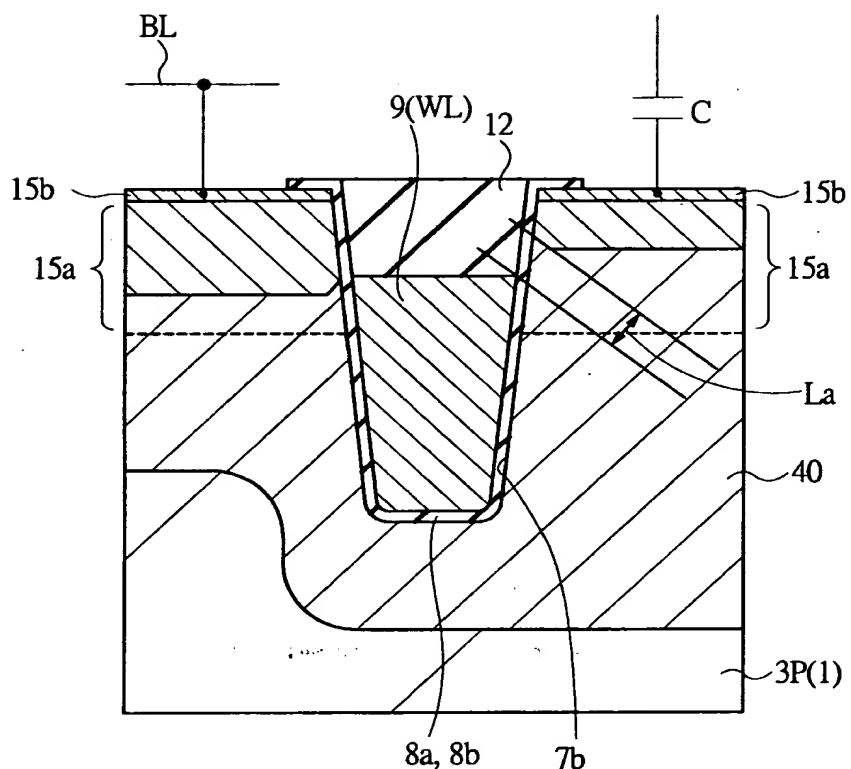
【図31】

図 31



【図32】

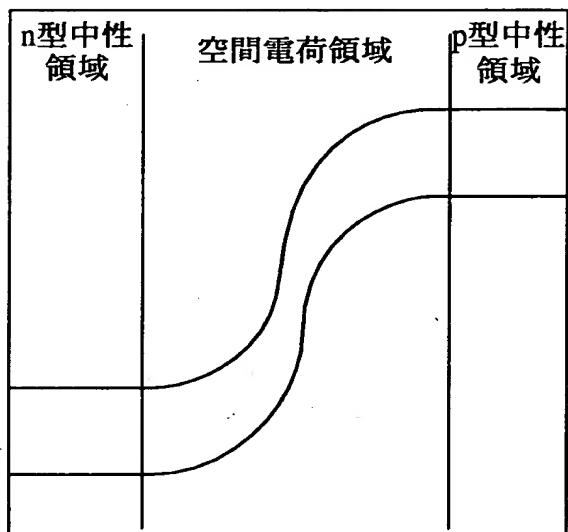
図 32



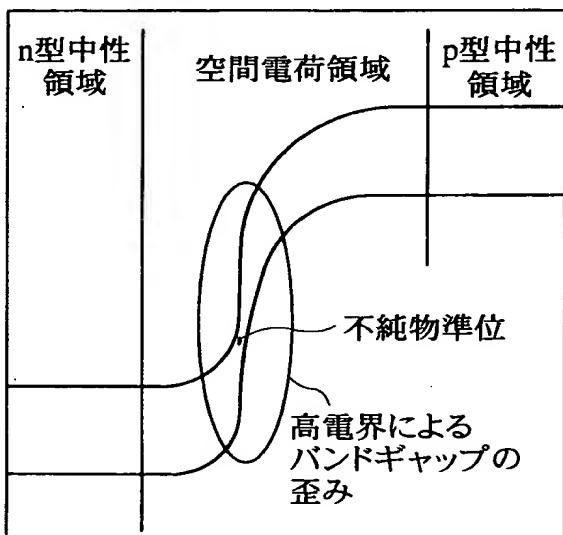
【図33】

図 33

(a)

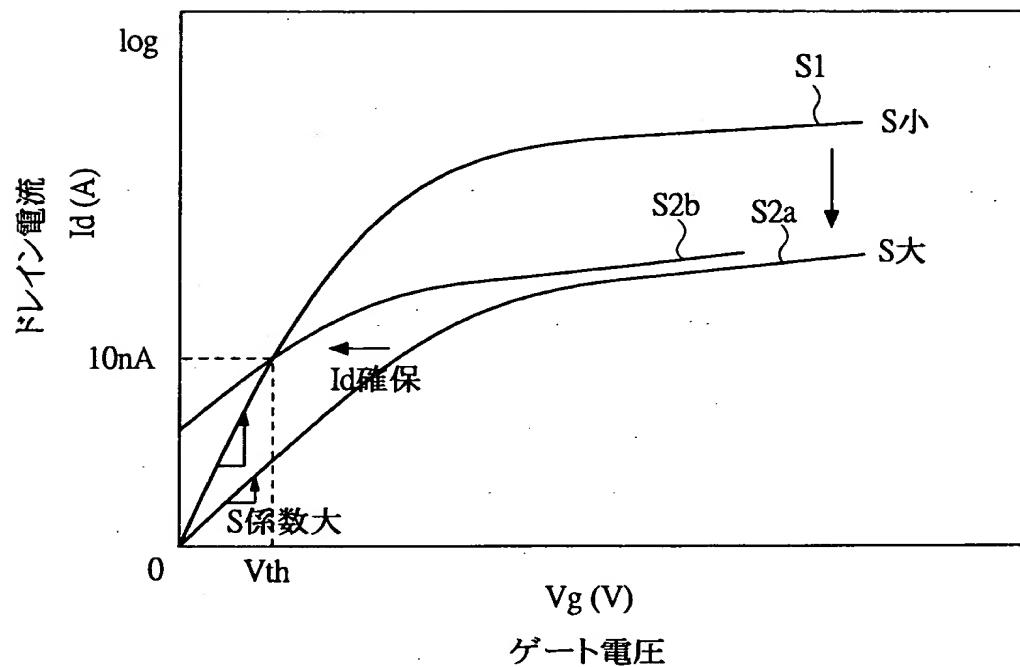


(b)



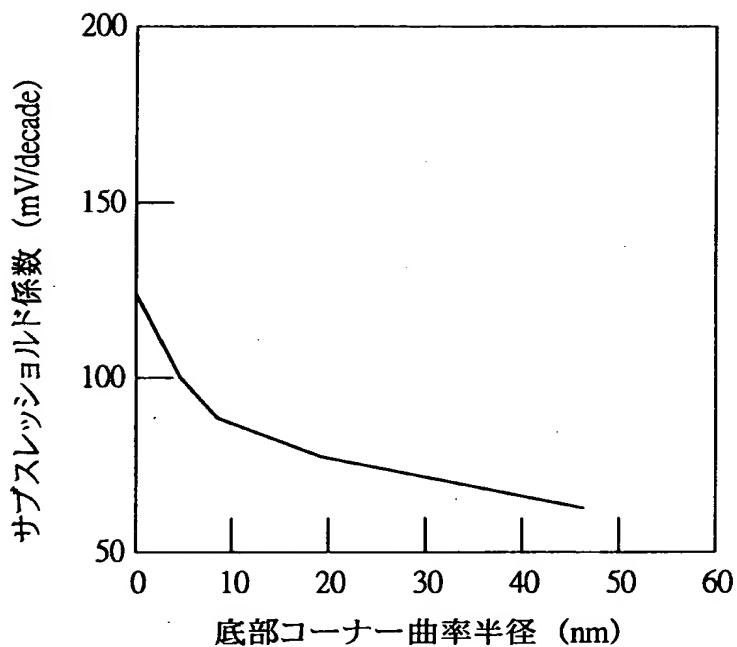
【図34】

図 34



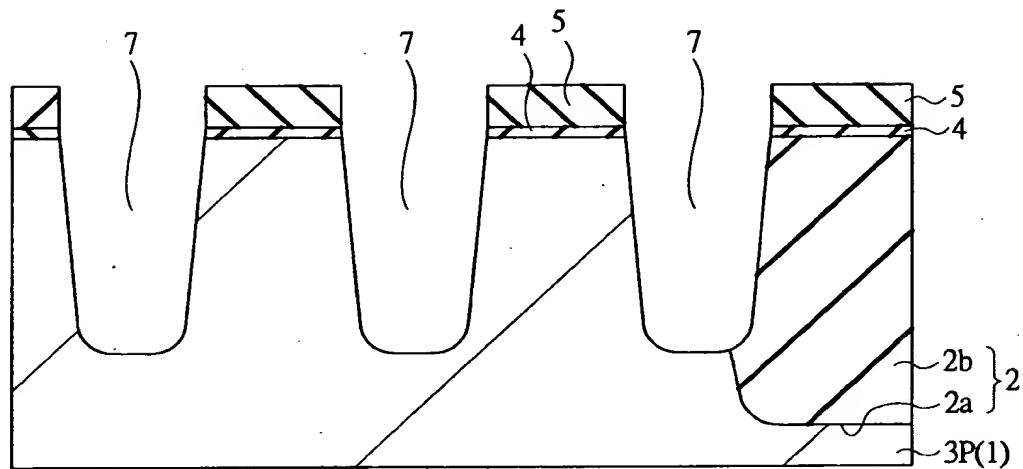
【図35】

図 35



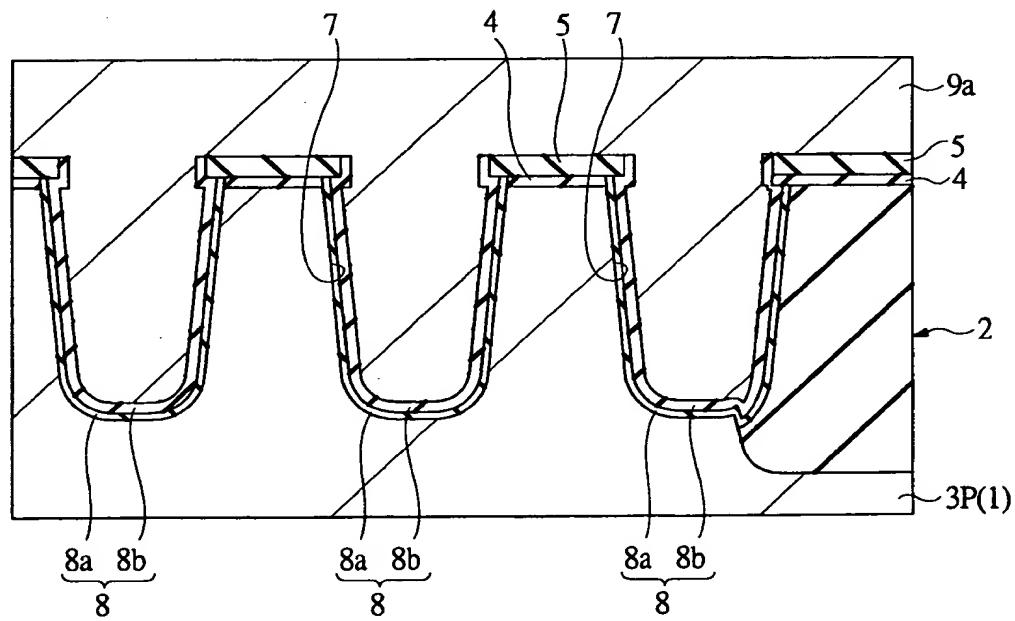
【図36】

図 36



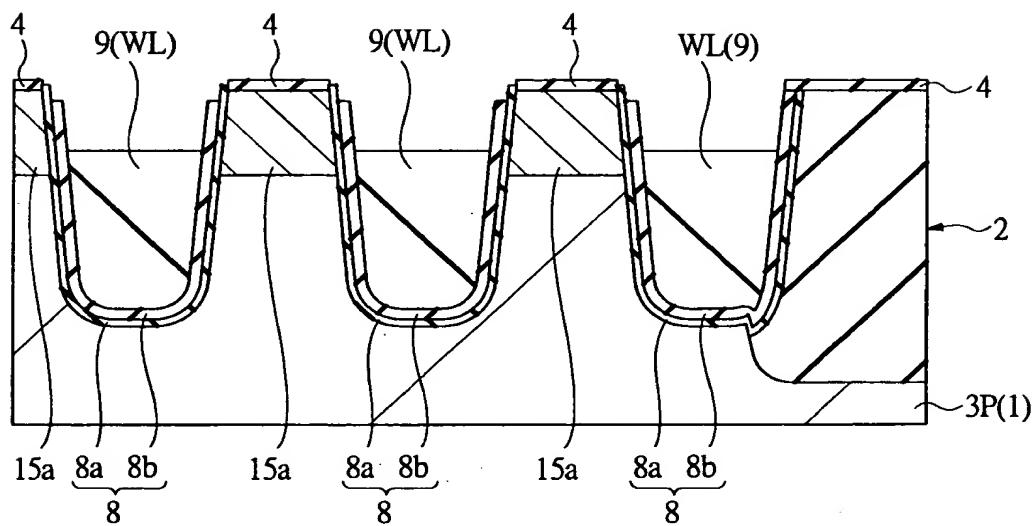
【図37】

図 37



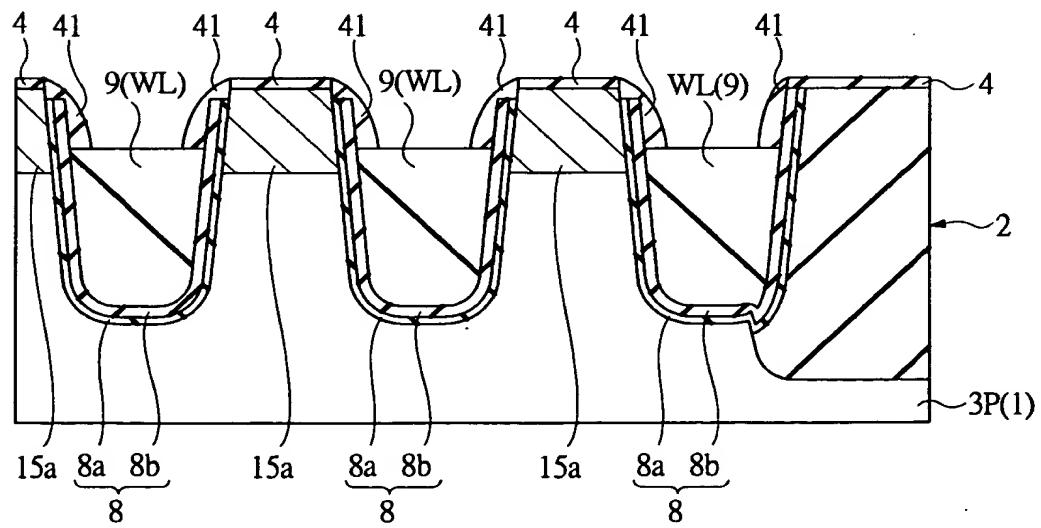
【図38】

図 38

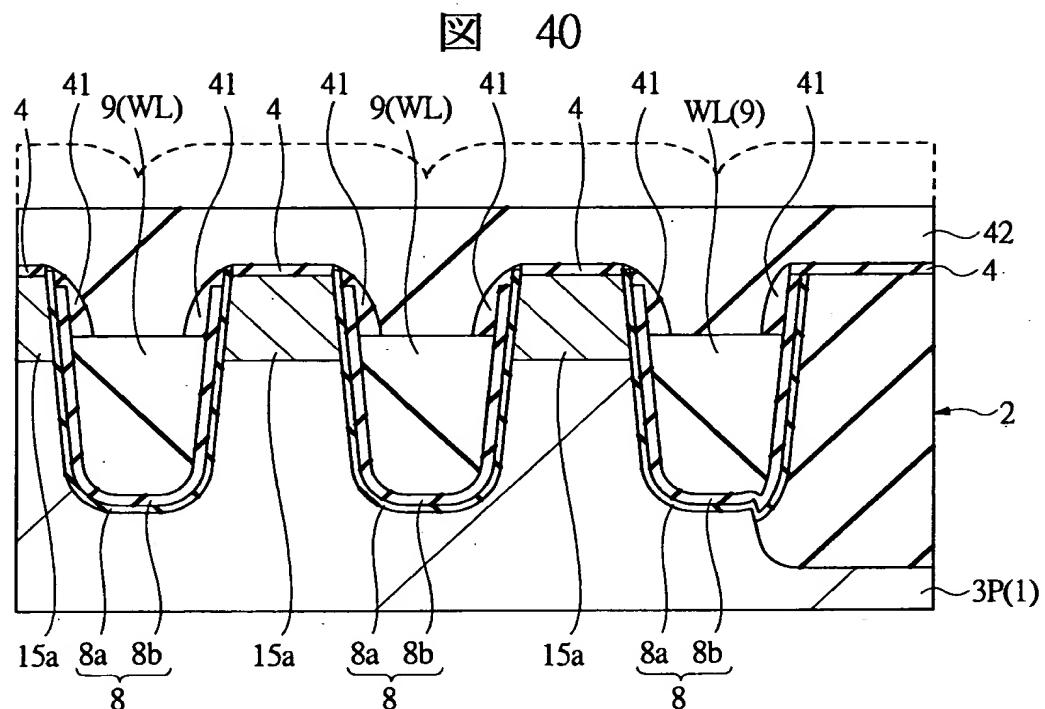


【図39】

図 39

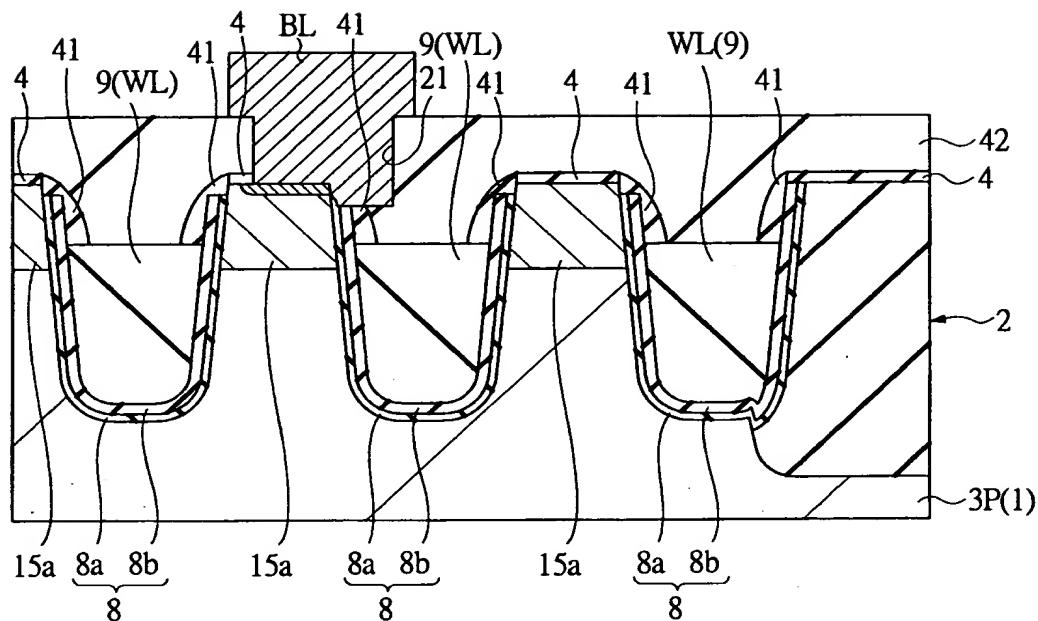


【図40】



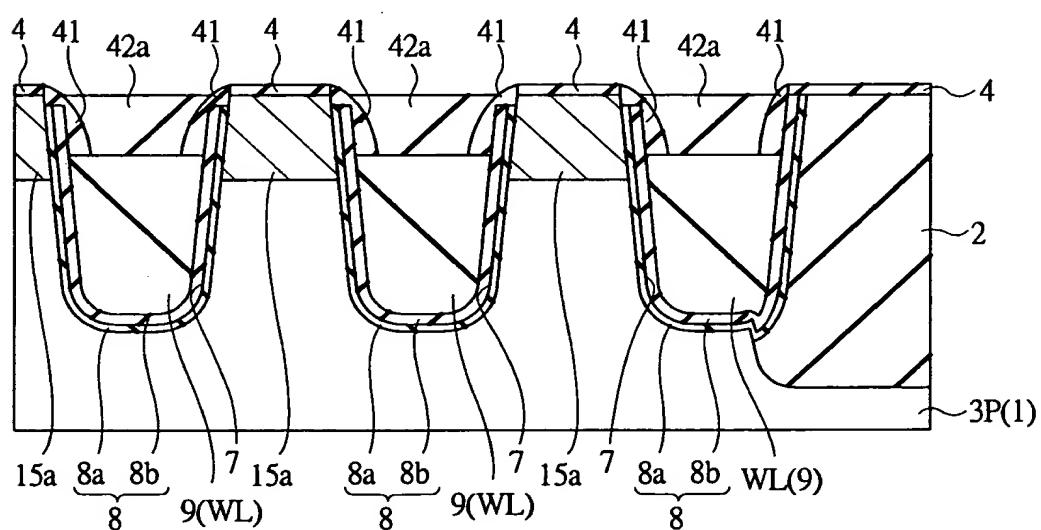
【図41】

図 41



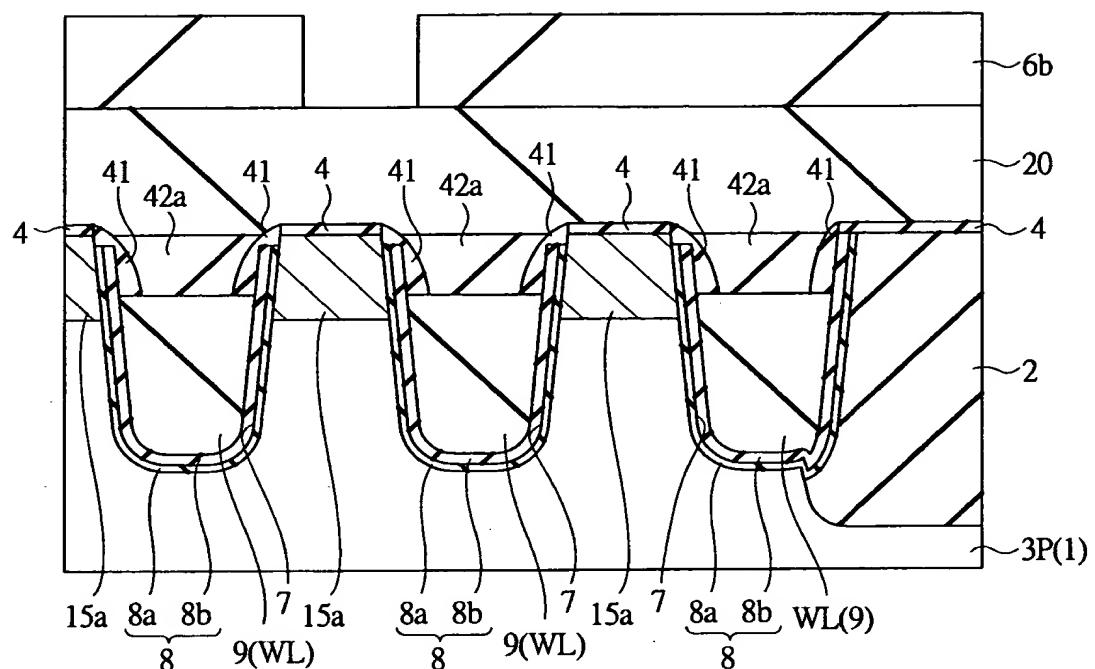
【図42】

図 42



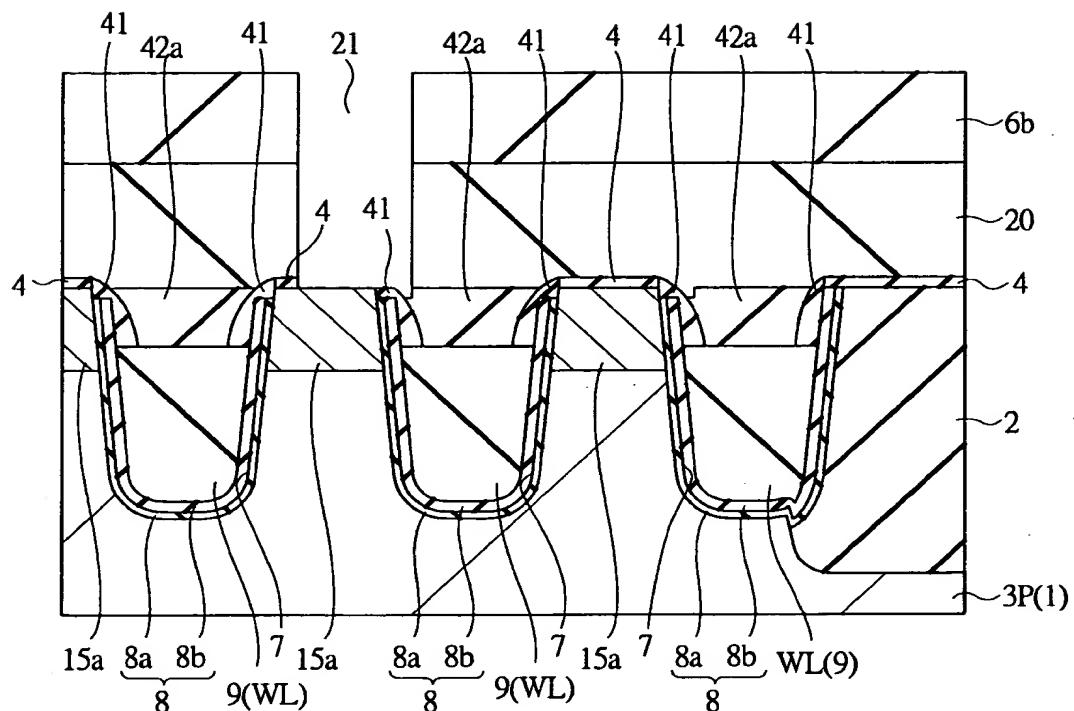
【図43】

図 43



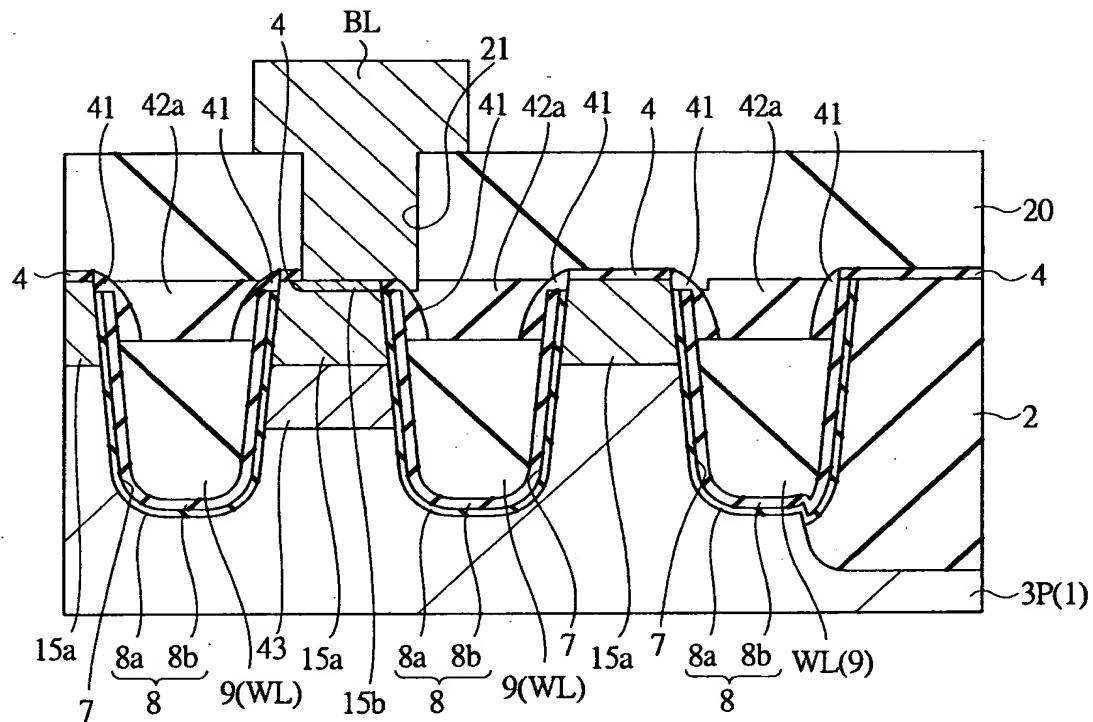
【図44】

図 44



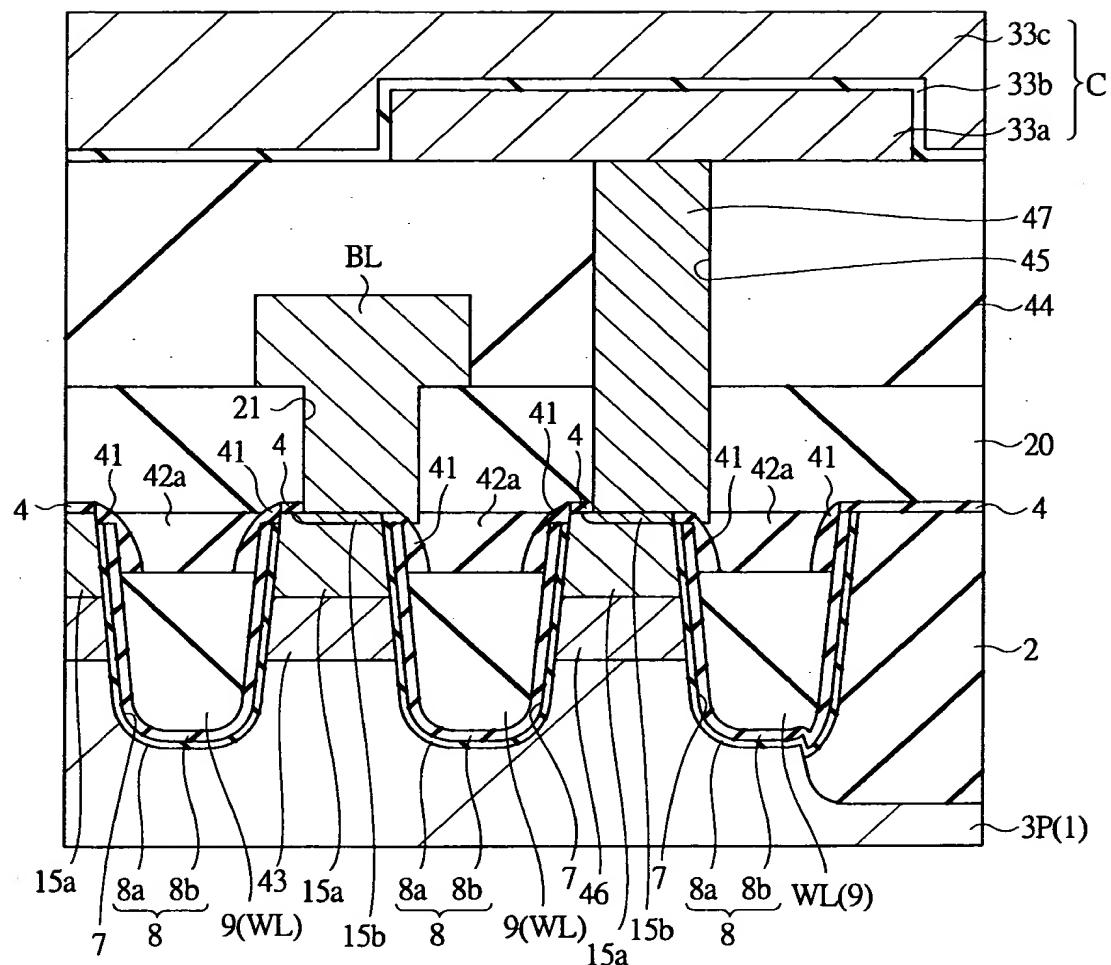
【図45】

図 45



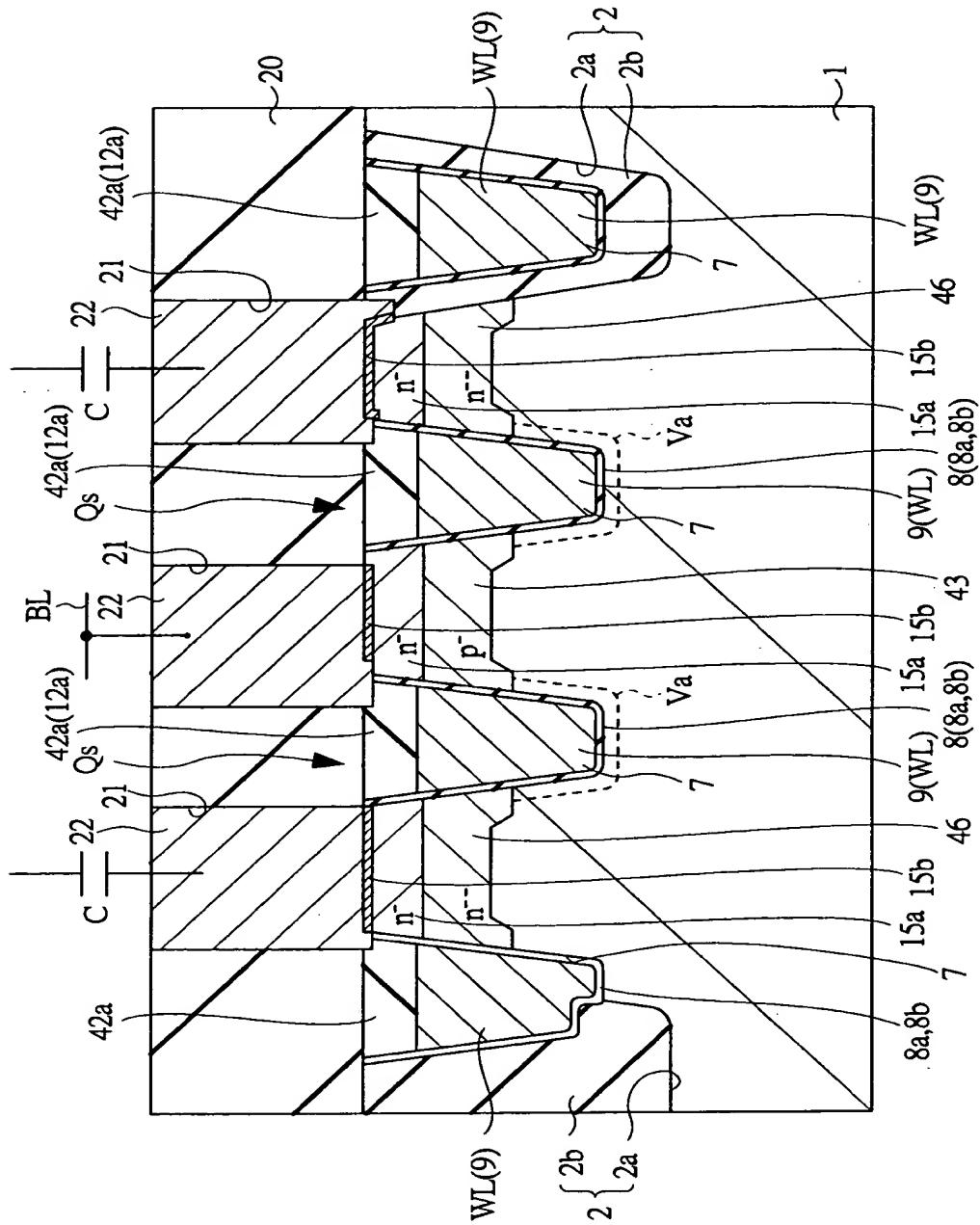
【図46】

図 46



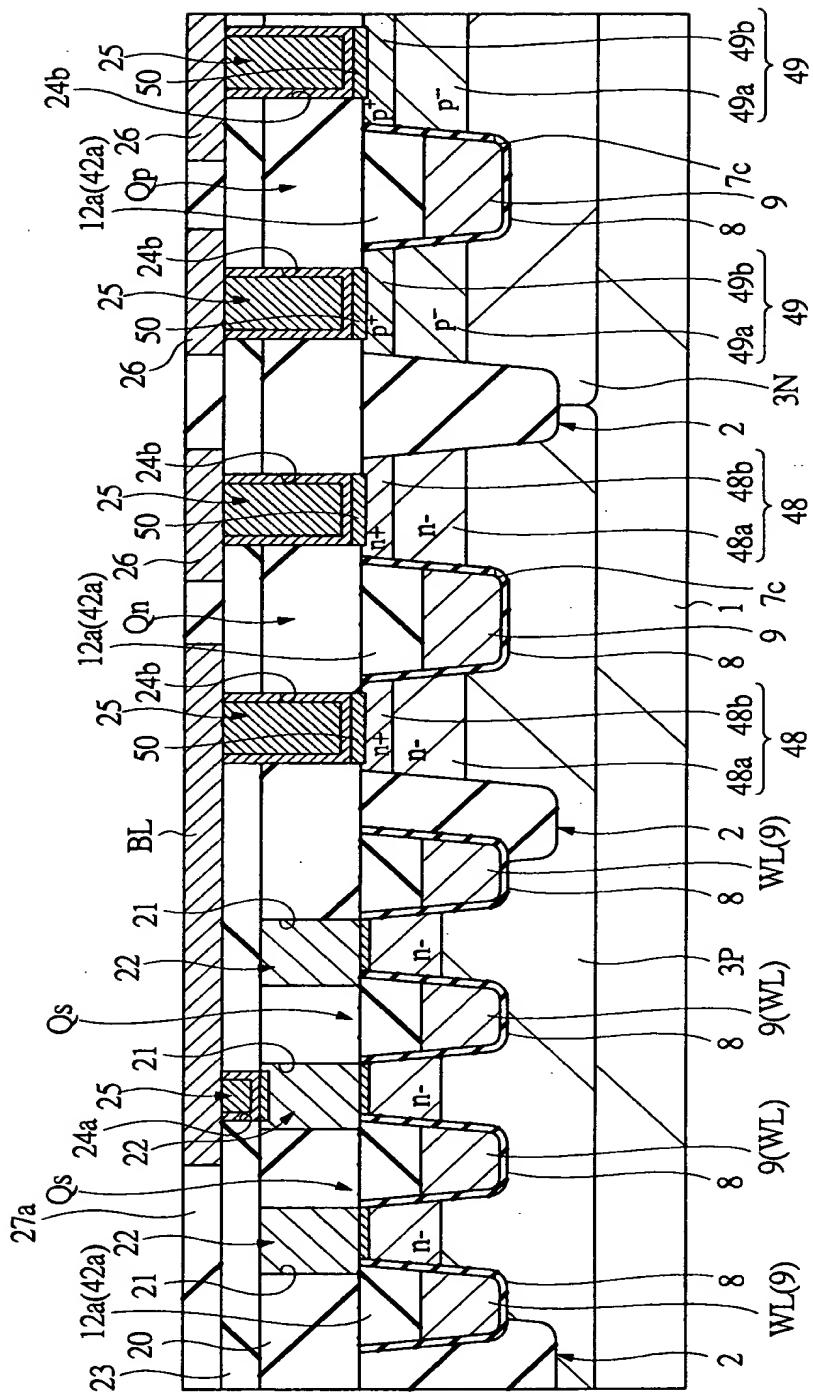
【図47】

図 47



【図48】

48



【書類名】 要約書

【要約】

【課題】 電界効果トランジスタのソース・ドレイン用の半導体領域における接合電界強度を低減する。

【解決手段】 D R A M のメモリセル選択用M I S · F E T Q s のゲート電極9を半導体基板1に掘られた溝7 a, 7 b内に埋め込む構造とした。溝7 b内の底部角の曲率半径をメモリセル選択用M I S · F E T Q s のサブスレッショルド係数に応じて丸みがあるように形成した。また、溝7 b内のゲート絶縁膜8を熱酸化膜とC V D膜との積層構造とした。

【選択図】 図28

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所